

LOONGSON

龙芯 2K1500 处理器

数据手册

V1.2

2025 年 11 月

龙芯中科技股份有限公司

自主决定命运, 创新成就未来

北京市海淀区中关村环保科技示范园龙芯产业园 100095
Loongson Industrial Park, Zhongguancun Environmental Protection Park,
Haidian District, Beijing 10095, P.R.China



www.loongson.cn

阅读指南

《龙芯 2K1500 处理器数据手册》主要介绍龙芯 2K1500 处理器接口结构，特性，电气规范，以及硬件设计指导。

目 录

目 录.....	I
图目录.....	IV
表目录.....	V
1 概述.....	1
1.1 体系结构框图.....	1
1.2 芯片特性.....	2
1.2.1 处理器核.....	2
1.2.2 内存接口.....	2
1.2.3 PCIe 接口.....	2
1.2.4 SATA 控制器.....	3
1.2.5 USB2.0 控制器.....	3
1.2.6 GMAC 控制器.....	3
1.2.7 NAND 控制器.....	3
1.2.8 SPI 控制器.....	3
1.2.9 UART.....	4
1.2.10 I2C 总线.....	4
1.2.11 PWM.....	4
1.2.12 HPET.....	5
1.2.13 RTC.....	5
1.2.14 Watchdog.....	5
1.2.15 中断控制器.....	5
1.2.16 CAN.....	5
1.2.17 GPIO.....	5
1.2.18 加解密模块.....	5
1.2.19 SDIO 控制器.....	5
1.2.20 eMMC 控制器.....	6
1.3 芯片分级.....	6
1.4 术语.....	6
1.5 固件及系统支持.....	7
1.6 文档约定.....	7
1.6.1 信号命名.....	7
1.6.2 信号类型.....	7
1.6.3 数值表示.....	7
1.6.4 寄存器域.....	7
2 引脚定义.....	8
2.1 DDR3 接口.....	8



2.2	PCIe 接口	8
2.3	LI0 接口	9
2.4	GMAC 接口	10
2.5	SATA 接口	11
2.6	USB 接口	11
2.7	SPI 接口	12
2.8	I ² C 接口	12
2.9	UART 接口	13
2.10	NAND 接口	14
2.11	CAN 接口	15
2.12	SDIO 接口	15
2.13	PWM 接口	16
2.14	GPIO 接口	16
2.15	JTAG 接口	16
2.16	测试接口	17
2.17	时钟配置信号	17
2.18	系统相关信号	17
2.19	RTC 相关信号	18
2.20	电源地	18
2.21	外设功能复用表	19
3	功能描述	20
3.1	DDR3 SDRAM 控制器接口描述	20
3.1.1	DDR3 SDRAM 接口工作频率范围	20
3.1.2	DDR3 SDRAM 控制器特性	20
3.2	SPI 接口	20
3.3	LI0	22
3.4	GPIO	23
3.5	UART	24
3.6	CAN	24
3.7	I2C	24
3.8	PWM	25
3.9	NAND	25
3.10	RTC	25
3.11	SDIO	25
3.12	eMMC	25
3.13	GMAC	26
3.14	OTG	26
3.15	USB2.0	26



3.16	SATA.....	26
3.17	PCIe.....	27
3.18	HPET.....	27
3.19	加解密模块.....	27
3.20	中断控制器.....	27
3.21	Watchdog.....	27
4	时钟.....	28
4.1	时钟内部框图.....	28
4.2	芯片时钟介绍.....	28
4.3	时钟功能描述.....	29
4.4	频率配置.....	29
5	热设计.....	30
5.1	热参数.....	30
5.2	焊接温度及焊接曲线.....	30
6	电气特性.....	32
6.1	最大额定工作条件.....	32
6.2	工作电源.....	32
6.3	I/O 引脚驱动能力.....	33
6.4	ESD 防护能力.....	33
6.5	湿敏等级.....	33
6.6	功耗信息.....	33
6.6.1	VDD_1V0 电压域功耗.....	33
6.6.2	全芯片功耗.....	33
6.7	电源时序.....	34
7	封装信息.....	36
7.1	封装尺寸.....	36
7.2	信号位置分布.....	37
7.3	芯片引脚排布.....	38
8	产品标识.....	39
附录 A: 芯片引脚列表.....		40
修订记录.....		55



图目录

图 1-1 龙芯 2K1500 结构图.....	2
图 3-1 SPI 主控制器接口时序.....	21
图 3-2 SPI Flash 标准读时序.....	21
图 3-3 SPI Flash 快速读时序.....	21
图 3-4 SPI Flash 双向 I/O 读时序.....	22
图 3-5 LocalIO 读时序.....	22
图 3-6 LocalIO 写时序.....	23
图 4-1 芯片时钟结构图.....	28
图 5-1 焊接回流曲线.....	31
图 6-1 冷启动上电时序（RTC 掉电）	34
图 6-2 热复位时序图.....	35
图 7-1 A 版封装尺寸.....	36
图 7-2 B 版封装尺寸.....	37
图 7-3 信号引脚分布顶视图.....	37



表目录

表 1-1 术语和缩略语表.....	6
表 2-1 DDR3 接口.....	8
表 2-2 PCIe 接口.....	8
表 2-3 PCIe1_RSTN 与 GPIO43 复用关系.....	9
表 2-4 LIO 接口.....	9
表 2-5 LIO 与 UART 复用关系.....	9
表 2-6 LIO 与 GPIO 复用关系.....	10
表 2-7 GMAC 接口.....	10
表 2-8 SATA 接口.....	11
表 2-9 USB 接口.....	11
表 2-10 SPI 接口.....	12
表 2-11 I ² C 接口.....	12
表 2-12 I2C 与 GPIO 复用关系.....	12
表 2-13 UART 接口.....	13
表 2-14 UART 接口复用关系.....	13
表 2-15 NAND 接口.....	14
表 2-16 NAND 与 GPIO 复用关系.....	14
表 2-17 NAND 与 eMMC 复用关系.....	14
表 2-18 CAN 接口.....	15
表 2-19 CAN 与 GPIO 复用关系.....	15
表 2-20 SDIO 接口.....	15
表 2-21 SDIO 与 GPIO 复用关系.....	15
表 2-22 PWM 接口.....	16
表 2-23 PWM 与 GPIO 复用关系.....	16
表 2-24 GPIO 接口.....	16
表 2-25 JTAG 接口.....	16
表 2-26 测试接口.....	17
表 2-27 时钟配置信号.....	17
表 2-28 系统相关信号.....	17
表 2-29 RTC 相关信号.....	18
表 2-30 电源地.....	18
表 2-31 外设功能复用表.....	19
表 4-1 芯片时钟输入.....	29
表 4-2 芯片时钟输出.....	29
表 5-1 龙芯 2K1500 的热阻参数.....	30
表 5-2 回流焊接温度分类表.....	30



表 6-1 芯片绝对最大额定电压.....	32
表 6-2 工作电源要求.....	32
表 6- 3 IO 引脚驱动能力.....	33
表 6- 4 VDD_1V0 电压域各条件下最大功耗.....	33
表 6- 5 全芯片各条件下最大功耗.....	34
表 6-6 冷启动上电时序要求.....	34
表 6-7 热复位时序约束.....	35



1 概述

龙芯 2K1500 处理器（简称龙芯 2K1500）主要面向于工控领域应用。片内集成 2 个 LA264 处理器核，采用 LoongArch 指令系统（龙架构），最高主频 1.2GHz，64 位 DDR3 控制器，并集成各种系统 IO 接口。

龙芯 2K1500 的主要特征如下：

- 片内集成两个 64 位的双发射超标量 LA264 处理器核
- 片内集成共享的 2MB 二级 Cache
- 片内集成 64 位 DDR3 控制器(支持 32 位模式下的 ECC)
- 1 个 x4 PCIe 3.0 接口，可拆分为 4 个独立 PCIe x1 接口，仅 RC 模式
- 1 个 x4 PCIe 3.0 接口，可拆分为 2 个独立 PCIe x1 接口，可作为 RC 或者 EP
- 1 个 4 通道 DMA
- 片内集成 1 个 SATA3.0 接口
- 片内集成 5 个 USB2.0 接口，其中 1 个为 OTG
- 片内集成 2 个 RGMII 千兆网接口
- 片内集成 RTC/HPET 模块
- 片内集成 3 个全功能 UART 接口
- 片内集成 1 个 NAND 控制器
- 片内集成 6 个 CAN 控制器，符合 CAN2.0A/B 规范
- 片内集成 6 个 PWM 控制器
- 片内集成 1 个 SDIO 控制器，兼容 SD Memory 4.0/MMC/SDIO 4.0 协议
- 片内集成 1 个 eMMC 控制器，兼容 eMMC 5.1 协议
- 片内集成 4 个 SPI 控制器，其中 2 个支持 QSPI
- 片内集成 4 个 I2C 控制器
- 片内集成 1 个 LI0 控制器
- 最多 96 个 GPIO 接口
- 片内集成 1 个温度传感器
- 采用 FC-BGA-608 封装，封装尺寸为 27mm x 27mm

1.1 体系结构框图

龙芯 2K1500 的结构如图 1-1 所示。一级交叉开关连接两个处理器核、两个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级交叉开关连接两个二级 Cache、内存控制器以及启动模块（SPI 或者 LI0）。IO 子网络采用南北桥结构，北桥包含 2 个 PCIe 和 DMA 模块，



通过北桥网络连接一级交叉开关，以减少处理器访问延迟。南桥包括 GMAC、SATA、USB、NAND、SDIO、eMMC、加解密以及 MISC 模块，通过南桥网络与北桥相连。

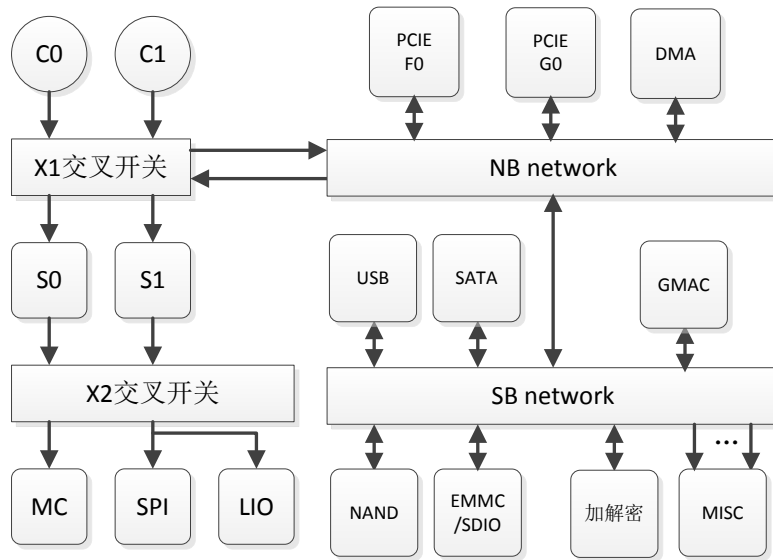


图 1-1 龙芯 2K1500 结构图

1.2 芯片特性

1.2.1 处理器核

- LA264
- 采用 LoongArch 指令系统（龙架构）
- 32KB 数据 Cache 和 32KB 的指令 Cache
- 2MB 共享二级 Cache
- 通过目录协议维护 I/O DMA 访问的 Cache 一致性

1.2.2 内存接口

- DDR3 控制器，最高工作频率 800MHz
- 支持 32 位模式下的 ECC
- 可配置为 64/32/16 位模式
- 支持命令调度

1.2.3 PCIe 接口

- 兼容 PCIe 3.0
- 双独立 X4 接口，均支持 X4/X2/X1 链路宽度自适应



- 其中 PCIe0 X4 接口可以配置为 4 个 X1 接口，4X1 模式下支持最高速率为 PCIe 2.0 速率，仅 RC 模式
- 其中 PCIe1 X4 接口可以配置为 2 个 X1 接口，2X1 模式下支持最高速率为 PCIe 2.0 速率，RC 或 EP 模式

1.2.4 SATA 控制器

- 1 个 SATA 端口
- 支持 SATA 1.5Gbps、SATA2 代 3Gbps 和 SATA3 代 6Gbps 的传输
- 兼容串行 ATA 2.6、AHCI 1.1 和 AHCI 1.3.1 规范

1.2.5 USB2.0 控制器

- 5 个独立的 USB2.0 的 HOST 端口
- 其中端口 0 固定为 OTG 工作模式
- 兼容 USB1.1 和 USB2.0
- 内部集成 XHCI 控制器

1.2.6 GMAC 控制器

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除

1.2.7 NAND 控制器

- 最大支持单片 16GB NAND Flash
- 最大支持 4 个片选
- 支持 SLC 和 MLC
- 支持 512/2K/4K/8K 页

1.2.8 SPI 控制器

- 双缓冲接收器
- 极性和相位可编程的串行时钟



- 主模式支持
- 支持到 4 个的变长字节传输
- 支持系统启动
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式
- 其中 2 个支持 QSPI

1.2.9 UART

- 3 个全功能 UART 和流控 TXD, RXD, CTS, RTS, DSR, DTR, DCD, RI
- 最多 12 个 UART 接口
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

1.2.10 I2C 总线

- 兼容 SMBUS (100Kbps)
- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 均支持主设备，其中 I2C2 也支持从设备
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

1.2.11 PWM

- 6 路 32 位可配置 PWM 定时器
- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制



1. 2. 12 HPET

- 64 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

1. 2. 13 RTC

- 可产生 3 个计时中断

1. 2. 14 Watchdog

- 32 比特计数器及初始化寄存器

1. 2. 15 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

1. 2. 16 CAN

- 符合 CAN2.0A/B 规范
- 6 路 CAN 接口
- 支持中断

1. 2. 17 GPIO

- 12 个专用 GPIO 引脚
- 其余引脚与其他接口相复用，使用各个接口电压域
- 输入中断功能
- 中断极性、触发类型可设置

1. 2. 18 加解密模块

- AES、DES 算法支持
- RSA 算法支持

1. 2. 19 SDIO 控制器

- 1 路独立 SDIO 控制器



- 兼容 SD Memory 4.0/MMC/SDIO 4.0 协议

1.2.20 eMMC 控制器

- 1 路独立 eMMC 控制器
- 兼容 eMMC 5.1 协议

1.3 芯片分级

具体分级情况请参考产品列表。

芯片各个质量等级版本的说明如下：

芯片标识	质量等级	典型电压	电源噪声	漏电流(常温)	工作温度(壳温)	说明
LS2K1500	商业级	1.2V	±25mV	700mA	0~70℃	主频 1.2GHz
LS2K1500-i	工业级	1.05V	±25mV	400mA	-40~85℃	主频 1.0GHz
		1.2V	±25mV	400mA	-40~85℃	主频 1.2GHz

注：LS2K1500-i 等级同时满足 1.0GHz@1.05V 和 1.2GHz@1.2V 两种工作场景。

1.4 术语

表 1-1 术语和缩略语表

术语	描述	备注
UEFI	Unified Extensible Firmware Interface	
RGMI	Reduced Gigabit Media Independent Interface	
LPC	Low Pin Count	
GPIO	General-purpose input/output	
ACPI	Advanced Configuration and Power Management Interface	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDAudio	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DIMM	Dual Inline-Memory-Modules	
UDIMM	Unbuffered Dual In-Line Memory Modules	
SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual-Inline-Memory-Modules	
LRDIMM	Load-Reduced Dual-Inline-Memory-Modules	
JTAG	Joint Test Action Group	



1.5 固件及系统支持

(1) 芯片所支持的固件:

龙芯 PMON

(2) 芯片所支持的操作系统:

Loongnix、中标麒麟、Loongworks 等。

1.6 文档约定

1.6.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n/N 结尾，高有效信号则不带 n/N。

1.6.2 信号类型

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.6.3 数值表示

16 进制数表示为 'hxxx'，2 进制数表示为 'bxx'，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0，DDR_DQ1，...）使用方括号加数字范围的形式简写（如 DDR_DQ[63:0]）。类似地，寄存器域也采用这种表示方式。

1.6.4 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0.uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。



2 引脚定义

2.1 DDR3 接口

表 2-1 DDR3 接口

信号名称	类型	描述	电压	内部上下拉
DDR_DQ[63:0]	I/O	DDR3 SDRAM 数据总线信号	1V5/DDR	无
DDR_DQSp[7:0] DDR_DQSn[7:0]	DIFF I/O	DDR3 SDRAM 数据选通	1V5/DDR	无
DDR_DQM[7:0]	0	DDR3 SDRAM 数据屏蔽	1V5/DDR	无
DDR_A[15:0]	0	DDR3 SDRAM 地址总线信号	1V5/DDR	无
DDR_BA[2:0]	0	DDR3 SDRAM 逻辑 BANK 地址信号	1V5/DDR	无
DDR_WEn	0	DDR3 SDRAM 写使能信号	1V5/DDR	无
DDR_CASn	0	DDR3 SDRAM 列地址选择信号	1V5/DDR	无
DDR_RASn	0	DDR3 SDRAM 行地址选择信号	1V5/DDR	无
DDR_CSn[1:0]	0	DDR3 SDRAM 片选信号	1V5/DDR	无
DDR_CKE[1:0]	0	DDR3 SDRAM 时钟使能信号	1V5/DDR	无
DDR_CKp[1:0] [7:6] DDR_CKn[1:0] [7:6]	DIFF OUT	DDR3 SDRAM 差分时钟输出信号	1V5/DDR	无
DDR_ODT[1:0]	0	DDR3 SDRAM ODT 信号	1V5/DDR	无
DDR_RESEn	0	DDR3 SDRAM 复位控制信号	1V5/DDR	无
DDR_REXT	I/O	外部参考电阻，通过 240ohm/1%电阻连至地 (PCB 下拉)	1V5/DDR	无

2.2 PCIe 接口

表 2-2 PCIe 接口

信号名称	类型	描述	电压	内部上下拉
PCIe0_REFCLKIN_P PCIe0_REFCLKIN_N	DIFF IN	系统参考时钟输入 (LP-HCSL 标准)	1V0/PCIe	无
PCIe1_REFCLKIN_P PCIe1_REFCLKIN_N	DIFF IN	PCIe1 PHY 参考时钟输入 (LP-HCSL 标准)	1V0/PCIe	无
PCIe_REFCLKOUT_P[5:0] PCIe_REFCLKOUT_N[5:0]	DIFF OUT	PCIe 参考时钟输出 (LP-HCSL 标准)	1V0/PCIe	无
PCIe1_REFRES	A	PCIe1 外部参考电阻，DIE 内部已做端接处理，PCB 应悬空	—	无
PCIe[1:0]_TXP[3:0] PCIe[1:0]_TXN[3:0]	DIFF OUT	PCIe 差分数据输出	1V0/PCIe	无
PCIe[1:0]_RXP[3:0]	DIFF IN	PCIe 差分数据输入	1V0/PCIe	无



PCIe[1:0]_RXN[3:0]				
PCIe[1:0]_RSTN	0	PCIe 复位	3V3/I/O	无

PCIe1_RSTN 接口与 GPIO43 有复用关系，如表 2-5 所示。

表 2-3 PCIe1_RSTN 与 GPIO43 复用关系

信号名称	复用名称	复用类型	复用信号描述
PCIe1_RSTN	GPIO43	IO	通用输入输出 43

2.3 LIO 接口

表 2-4 LIO 接口

信号名称	类型	描述	电压	内部上下拉
LIO_RDn	0	LIORDn 输出	3V3/I/O	无
LIO_WRn	0	LIOWRn 输出	3V3/I/O	无
LIO_DEN	0	LIO 数据使能	3V3/I/O	无
LIO_DIR	0	LIO 方向控制，0 代表读，1 代表写	3V3/I/O	无
LIO_ADLOCK	0	LIO 地址/数据选择信号	3V3/I/O	无
LIO_AD[15:0]	I/O	LIO 双向 AD 信号	3V3/I/O	无
LIO_A[6:0]	0	LIO 地址低位	3V3/I/O	无
LIO_CSn	0	LIO 片选信号	3V3/I/O	无
LIO_RDY	I	LIO 数据准备好输入	3V3/I/O	上拉

LIO 接口与 UART 以及 GPIO 有复用关系，如表 2-5 和表 2-6 LIO 与 GPIO 复用关系所示。

表 2-5 LIO 与 UART 复用关系

信号名称	复用名称	复用类型	复用信号描述
LIO_DEN	UART1_TXD	0	串口数据输出
LIO_DIR	UART1_RXD	I	串口数据输入
LIO_ADLOCK	UART1_RTS	0	串口数据传输请求
LIO_AD00	UART1_DTR	0	串口初始化完成
LIO_AD01	UART1_RI	I	外部 MODEM 检测到振铃信号
LIO_AD02	UART1_CTS	I	设备接受数据就绪
LIO_AD03	UART1_DSR	I	设备初始化完成
LIO_AD04	UART1_DCD	I	外部 MODEM 检测到载波信号
LIO_AD05	UART2_TXD	0	串口数据输出
LIO_AD06	UART2_RXD	I	串口数据输入
LIO_AD07	UART2_RTS	0	串口数据传输请求
LIO_AD08	UART2_DTR	0	串口初始化完成
LIO_AD09	UART2_RI	I	外部 MODEM 检测到振铃信号
LIO_AD11	UART2_CTS	I	设备接受数据就绪
LIO_AD12	UART2_DSR	I	设备初始化完成
LIO_AD13	UART2_DCD	I	外部 MODEM 检测到载波信号



表 2-6 LIO 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述
LIO_A0	NODE_GPIO21	IO	通用输入输出 21
LIO_A1	NODE_GPIO22	IO	通用输入输出 22
LIO_A2	NODE_GPIO23	IO	通用输入输出 23
LIO_A3	NODE_GPIO24	IO	通用输入输出 24
LIO_A4	NODE_GPIO25	IO	通用输入输出 25
LIO_A5	NODE_GPIO26	IO	通用输入输出 26
LIO_A6	NODE_GPIO27	IO	通用输入输出 27
LIO_AD00	NODE_GPIO03	IO	通用输入输出 03
LIO_AD01	NODE_GPIO04	IO	通用输入输出 04
LIO_AD02	NODE_GPIO05	IO	通用输入输出 05
LIO_AD03	NODE_GPIO06	IO	通用输入输出 06
LIO_AD04	NODE_GPIO07	IO	通用输入输出 07
LIO_AD05	NODE_GPIO08	IO	通用输入输出 08
LIO_AD06	NODE_GPIO09	IO	通用输入输出 09
LIO_AD07	NODE_GPIO10	IO	通用输入输出 10
LIO_AD08	NODE_GPIO11	IO	通用输入输出 11
LIO_AD09	NODE_GPIO12	IO	通用输入输出 12
LIO_AD10	NODE_GPIO18	IO	通用输入输出 18
LIO_AD11	NODE_GPIO13	IO	通用输入输出 13
LIO_AD12	NODE_GPIO14	IO	通用输入输出 14
LIO_AD13	NODE_GPIO15	IO	通用输入输出 15
LIO_AD14	NODE_GPIO19	IO	通用输入输出 19
LIO_AD15	NODE_GPIO20	IO	通用输入输出 20
LIO_ADLOCK	NODE_GPIO02	IO	通用输入输出 02
LIO_CSN	NODE_GPIO28	IO	通用输入输出 28
LIO_DEN	NODE_GPIO00	IO	通用输入输出 00
LIO_DIR	NODE_GPIO01	IO	通用输入输出 01
LIO_RDY	NODE_GPIO29	IO	通用输入输出 29
LIO_WRN	NODE_GPIO16	IO	通用输入输出 16
LIO_RDN	NODE_GPIO17	IO	通用输入输出 17

2.4 GMAC 接口

表 2-7 GMAC 接口

信号名称	类型	描述	电压	内部上下拉
GMAC[1:0]_TXCK	0	RGMI I 发送时钟	3V3/GMAC	无
GMAC[1:0]_TCTL	0	RGMI I 发送控制	3V3/GMAC	无
GMAC[1:0]_TXD[3:0]	0	RGMI I 发送数据	3V3/GMAC	无
GMAC[1:0]_RXCK	I	RGMI I 接收时钟	3V3/GMAC	无
GMAC[1:0]_RCTL	I	RGMI I 接收控制	3V3/GMAC	无



GMAC[1:0]_RXD[3:0]	I	RGMII 接收数据	3V3/GMAC	无
GMAC[1:0]_MDCK	0	SMA 接口时钟, 需外部上拉	3V3/GMAC	无
GMAC[1:0]_MDIO	OD	SMA 接口数据, 需外部上拉	3V3/GMAC	无

GMAC1 接口与 GPIO 有复用关系, 如下表所示:

信号名称	复用名称	复用类型	复用信号描述	电压
GMAC1_TXCK	-	-	-	-
GMAC1_TCTL	GPIO13	I/O	通用输入输出 13	3V3/GMAC
GMAC1_TXD[3:0]	GPIO[12:9]	I/O	通用输入输出 12-9	3V3/GMAC
GMAC1_RXCK	-	-	-	-
GMAC1_RCTL	GPIO8	I/O	通用输入输出 8	3V3/GMAC
GMAC1_RXD[3:0]	GPIO[7:4]	I/O	通用输入输出 7-4	3V3/GMAC
GMAC1_MDCK	-	-	-	-
GMAC1_MDIO	-	-	-	-

2.5 SATA 接口

表 2-8 SATA 接口

信号名称	类型	描述	电压	内部上下拉
SATA_REFCLKIN_P SATA_REFCLKIN_N	I	差分 25MHz 参考时钟输入 (LP-HCSL 标准)	1V0/SATA	无
SATA_TXP SATA_TXN	DIFF OUT	SATA 差分数据输出	1V0/SATA	无
SATA_RXP SATA_RXN	DIFF IN	SATA 差分数据输入	1V0/SATA	无
SATA_LEDN	OD	SATA 工作状态, 低表示有数据传输	3V3/IO	无

SATA 接口的 SATA_LEDN 与 GPIO 有复用关系, 如下表所示:

信号名称	复用名称	复用类型	复用信号描述	电压
SATA_LEDN	GPIO14	I/O	通用输入输出 14	3V3/IO

2.6 USB 接口

表 2-9 USB 接口

信号名称	类型	描述	电压	内部上下拉
USB2_REFRES[1:0]	A	参考电阻, 通过 3Kohm/1%电阻连至地	-	无
USB2_DP[4:0]	I/O	USB D+	A3V3/USB	下拉
USB2_DM[4:0]	I/O	USB D-	A3V3/USB	下拉
USB2_OC[3:1]	I	USB 过流检测输入, 需注意该信号为高有效	3V3/IO	无
USB2_OC0	0	OTG DRVVBUS 输出	3V3/IO	无
USB2_ID	I	OTG ID 输入	A3V3/USB	无



USB2_VBUS	A	OTG VBUS 输入	5V	无
-----------	---	-------------	----	---

注：OTG 使用 USB2 PHY 的 PORT0 端口

2.7 SPI 接口

表 2-10 SPI 接口

信号名称	类型	描述	电压	内部上下拉
SPI[3:0]_SCK	0	SPI 时钟输出	3V3/I/O	无
SPI[3:0]_CSn0	0	SPI 片选 0	3V3/I/O	无
SPI[3:0]_CSn1	0	SPI 片选 1	3V3/I/O	无
SPI0/3_CSn2/WPN	0	SPI 片选 2/写保护输出	3V3/I/O	无
SPI0/3_CSn3/HOLDN	0	SPI 片选 3/地址保持输入输出	3V3/I/O	无
SPI[3:0]_SDO	0	SPI 数据输出	3V3/I/O	上拉
SPI[3:0]_SDI	I	SPI 数据输入	3V3/I/O	上拉

2.8 I²C 接口

表 2-11 I²C 接口

信号名称	类型	描述	电压	内部上下拉
I2C0_SCL	OD	I2C0 时钟	3V3/I/O	无
I2C0_SDA	OD	I2C0 数据	3V3/I/O	无
I2C1_SCL	OD	I2C1 时钟	3V3/I/O	无
I2C1_SDA	OD	I2C1 数据	3V3/I/O	无
I2C2_SCL	OD	I2C2 时钟	3V3/I/O	无
I2C2_SDA	OD	I2C2 数据	3V3/I/O	无
I2C3_SCL	OD	I2C3 时钟	3V3/I/O	无
I2C3_SDA	OD	I2C3 数据	3V3/I/O	无

I2C 与 GPIO 有复用，复用关系见下表：

表 2-12 I2C 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述	电压
I2C0_SCL	GPIO16	I/O	通用输入输出 16	3V3/I/O
I2C0_SDA	GPIO17	I/O	通用输入输出 17	3V3/I/O
I2C1_SCL	GPIO18	I/O	通用输入输出 18	3V3/I/O
I2C1_SDA	GPIO19	I/O	通用输入输出 19	3V3/I/O
I2C2_SCL	GPIO27	I/O	通用输入输出 27	3V3/I/O
I2C2_SDA	GPIO28	I/O	通用输入输出 28	3V3/I/O
I2C3_SCL	GPIO29	I/O	通用输入输出 29	3V3/I/O
I2C3_SDA	GPIO30	I/O	通用输入输出 30	3V3/I/O



2.9 UART 接口

表 2-13 UART 接口

信号名称	类型	描述	电压	内部上下拉
UART[2:0]_TXD	0	串口数据输出	3V3/I/O	无
UART[2:0]_RXD	I	串口数据输入	3V3/I/O	无
UART[2:0]_RTS	0	串口数据传输请求	3V3/I/O	无
UART[2:0]_DTR	0	串口初始化完成	3V3/I/O	无
UART[2:0]_RI	I	外部 MODEM 探测到振铃信号	3V3/I/O	无
UART[2:0]_CTS	I	设备接受数据就绪	3V3/I/O	无
UART[2:0]_DSR	I	设备初始化完成	3V3/I/O	无
UART[2:0]_DCD	I	外部 MODEM 探测到载波信号	3V3/I/O	无

2K1500 有 3 个独立的全功能串口，UART0 可以选择 NODE 或者南桥，UART1 和 UART2 有独立引脚，也可以通过软件调整为与 LIO 复用引脚。串口通过设置可以工作在 2x4 和 4x2 模式，各种模式的管脚对应关系如下。其它引脚复用的 UART 接口的内部复用关系如下表所示。

表 2-14 UART 接口复用关系

1x8	2x4	4x2
TXD0 (O)	TXD0 (O)	TXD0 (O)
RTS0 (O)	RTS0 (O)	TXD5 (O)
DTR0 (O)	TXD3 (O)	TXD3 (O)
RXD0 (I)	RXD0 (I)	RXD0 (I)
CTS0 (I)	CTS0 (I)	RXD5 (I)
DSR0 (I)	RXD3 (I)	RXD3 (I)
DCD0 (I)	CTS3 (I)	RXD4 (I)
RI0 (I)	RTS3 (O)	TXD4 (O)
1x8	2x4	4x2
TXD1 (O)	TXD1 (O)	TXD1 (O)
RTS1 (O)	RTS1 (O)	TXD8 (O)
DTR1 (O)	TXD6 (O)	TXD6 (O)
RXD1 (I)	RXD1 (I)	RXD1 (I)
CTS1 (I)	CTS1 (I)	RXD8 (I)
DSR1 (I)	RXD6 (I)	RXD6 (I)
DCD1 (I)	CTS6 (I)	RXD7 (I)
RI1 (I)	RTS6 (O)	TXD7 (O)
1x8	2x4	4x2
TXD2 (O)	TXD2 (O)	TXD2 (O)
RTS2 (O)	RTS2 (O)	TXD11 (O)
DTR2 (O)	TXD9 (O)	TXD9 (O)
RXD2 (I)	RXD2 (I)	RXD2 (I)



CTS2 (I)	CTS2 (I)	RXD11 (I)
DSR2 (I)	RXD9 (I)	RXD9 (I)
DCD2 (I)	CTS9 (I)	RXD10 (I)
RI2 (I)	RTS9 (O)	TXD10 (O)

2.10 NAND 接口

表 2-15 NAND 接口

信号名称	类型	描述	电压	内部上下拉
NAND_CEn[3:0]	0	NAND 片选 3-0	3V3/I0	无
NAND_CLE	0	NAND 命令锁存	3V3/I0	无
NAND_ALE	0	NAND 地址锁存	3V3/I0	无
NAND_WRn	0	NAND 写信号	3V3/I0	无
NAND_RDn	0	NAND 读信号	3V3/I0	无
NAND_RDYn[3:0]	I	NAND 准备好输入 3-0, 需要外接 4.7k 上拉电阻	3V3/I0	无
NAND_D[7:0]	I/O	NAND 命令/地址/数据线	3V3/I0	无

NAND 与 GPIO 和 eMMC 有复用，复用关系见下表。

表 2-16NAND 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述
NAND_CEn[3:0]	GPIO[47:44]	I/O	通用输入输出 47-44
NAND_CLE	GPIO48	I/O	通用输入输出 48
NAND_ALE	GPIO49	I/O	通用输入输出 49
NAND_WRn	GPIO50	I/O	通用输入输出 50
NAND_RDn	GPIO51	I/O	通用输入输出 51
NAND_RDYn[3:0]	GPIO[55:52]	I/O	通用输入输出 55-52
NAND_D[7:0]	GPIO[63:56]	I/O	通用输入输出 63-56

表 2-17NAND 与 eMMC 复用关系

信号名称	复用名称	复用类型	复用信号描述
NAND_RDYn1	eMMC_CMD	I/O	
NAND_RDYn2	eMMC_CLK	0	
NAND_RDYn3	eMMC_DS	I	
NAND_D[7:0]	eMMC_D[7:0]	I/O	



2.11 CAN 接口

表 2-18 CAN 接口

信号名称	类型	描述	电压	内部上下拉
CAN0_RX	I	CAN 通道 0 数据接收	3V3/I0	无
CAN0_TX	O	CAN 通道 0 数据发送	3V3/I0	无
CAN1_RX	I	CAN 通道 1 数据接收	3V3/I0	无
CAN1_TX	O	CAN 通道 1 数据发送	3V3/I0	无
CAN2_RX	I	CAN 通道 2 数据接收	3V3/I0	无
CAN2_TX	O	CAN 通道 2 数据发送	3V3/I0	无
CAN3_RX	I	CAN 通道 3 数据接收	3V3/I0	无
CAN3_TX	O	CAN 通道 3 数据发送	3V3/I0	无
CAN4_RX	I	CAN 通道 4 数据接收	3V3/I0	无
CAN4_TX	O	CAN 通道 4 数据发送	3V3/I0	无
CAN5_RX	I	CAN 通道 5 数据接收	3V3/I0	无
CAN5_TX	O	CAN 通道 5 数据发送	3V3/I0	无

CAN 接口与 GPIO 有复用，如下表所示：

表 2-19 CAN 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述	电压
CAN0_TX	GPIO32	I/O	通用输入输出 32	3V3/I0
CAN0_RX	GPIO33	I/O	通用输入输出 33	3V3/I0
CAN1_TX	GPIO34	I/O	通用输入输出 34	3V3/I0
CAN1_RX	GPIO35	I/O	通用输入输出 35	3V3/I0

2.12 SDIO 接口

表 2-20 SDIO 接口

信号名称	类型	描述	电压	内部上下拉
SDIO_CLK	O	SDIO 时钟输出	3V3/I0	无
SDIO_CMD	I/O	SDIO 命令输入输出	3V3/I0	无
SDIO_DATA[3:0]	I/O	SDIO 数据信号	3V3/I0	无

SDIO 与 GPIO 有复用，复用关系见下表：

表 2-21 SDIO 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述	电压
SDIO_CLK	GPIO41	I/O	通用输入输出 41	3V3/I0
SDIO_CMD	GPIO40	I/O	通用输入输出 40	3V3/I0
SDIO_DATA[3:0]	GPIO[39:36]	I/O	通用输入输出 39-36	3V3/I0



2.13 PWM 接口

表 2-22 PWM 接口

信号名称	类型	描述	电压	内部上下拉
PWM[5:0]	I/O	PWM 输出	3V3/I/O	无

PWM 与 GPIO 有复用，复用关系如下：

表 2-23 PWM 与 GPIO 复用关系

信号名称	复用名称	复用类型	复用信号描述	电压
PWM[3:0]	GPIO[23:20]	I/O	通用输入输出 23-20	3V3/I/O

2.14 GPIO 接口

下表仅列出专用的 12 个 GPIO 引脚信号，其他 GPIO 为复用信号，可参考其他信号定义。默认情况下所有与 GPIO 复用的引脚为非 GPIO 功能（CAN 除外），且都为输入状态（GPIO00~03 除外，这 4 个 GPIO 默认输出 1）。

表 2-24 GPIO 接口

信号名称	类型	描述	电压	内部上下拉
GPIO00	I/O	通用输入输出	3V3/I/O	无
GPIO01	I/O	通用输入输出	3V3/I/O	无
GPIO02	I/O	通用输入输出	3V3/I/O	无
GPIO03	I/O	通用输入输出	3V3/I/O	无
GPIO15	I/O	通用输入输出	3V3/I/O	无
GPIO24	I/O	通用输入输出	3V3/I/O	无
GPIO25	I/O	通用输入输出	3V3/I/O	无
GPIO26	I/O	通用输入输出	3V3/I/O	无
GPIO31	I/O	通用输入输出	3V3/I/O	无
GPIO42	I/O	通用输入输出	3V3/I/O	无
NODE_GPIO30	I/O	通用输入输出	3V3/I/O	无
NODE_GPIO31	I/O	通用输入输出	3V3/I/O	无

2.15 JTAG 接口

表 2-25 JTAG 接口

信号名称	类型	描述	电压	内部上下拉
JTAG_SEL[1:0]	I	JTAG 选择 00: CPU_JTAG; 01: JTAG 10: LA132_JTAG 11: NOT USED	3V3/I/O	下拉



JTAG_TCK	I	JTAG 时钟	3V3/I/O	下拉
JTAG_TDI	I	JTAG 数据输入	3V3/I/O	无
JTAG_TMS	I	JTAG 模式	3V3/I/O	无
JTAG_TRSTN	I	JTAG 复位	3V3/I/O	下拉
JTAG_TDO	0	JTAG 数据输出	3V3/I/O	无

2.16 测试接口

表 2-26 测试接口

信号名称	类型	描述	电压	内部上下拉
ACPI_DOTESTn	I	测试模式控制 0: 测试模式 1: 功能模式	3V3/I/O	无

2.17 时钟配置信号

表 2-27 时钟配置信号

信号名称	类型	描述	电压	内部上下拉
SYS_SYSCLK	I	100MHz 参考时钟	3V3/I/O	无
SYS_TESTCLK	I	测试时钟输入，功能模式下板级必须将该引脚下拉至 GND	3V3/I/O	无

2.18 系统相关信号

表 2-28 系统相关信号

信号名称	类型	描述	电压	内部上下拉
SYS_CLKMODE	I	PLL 时钟输入选择 0: SYS_SYSCLK 1: PCIE0_REFCLKIN_N/P	3V3/I/O	下拉
CHIP_CONFIG[1:0]	I	PLL 时钟配置输入 00=低频模式 01=高频模式 10=软件模式 (DFT) 11=bypass 模式	3V3/I/O	bit0: 下拉 bit1: 上拉
CHIP_CONFIG[3:2]	I	启动选择输入 00=LI0 01=SPI (DFT) 10=SDIO 11=NAND	3V3/I/O	bit2: 上拉 bit3: 下拉
CHIP_CONFIG[5:4]	I	NAND 类型选择	3V3/I/O	bit4: 下拉



		00=512Mb (page 512B) 01=1Gb (page 2KB) 10=16Gb (page 4KB) 11=128Gb (page 8KB)		bit5: 下拉
CHIP_CONFIG6	I	PHY 内部参考时钟选择输入 0: SYS_SYSCLK 1: PCIE0_REFCLKIN_N/P	3V3/I0	下拉
CHIP_CONFIG7	I	必须为 0	3V3/I0	下拉
CHIP_CONFIG8	I	PCIe1 模式选择输入 0: EP mode 1: RC mode	3V3/I0	上拉
CHIP_CONFIG9	I	NAND ECC 功能使能输入, 1=enable 0=disable (DFT)	3V3/I0	下拉

2.19 RTC 相关信号

表 2-29 RTC 相关信号

信号名称	类型	描述	电压	内部上下拉
RTC_XI	I/O	32.768KHz 晶体或晶振输入	RTC	无
RTC_XO	I/O	32.768KHz 晶体输出	RTC	无

注：接晶振推荐参考配置——通过 200K 及 100K 电阻分压，输出幅值约为 0~1.1V，波形为方波。

2.20 电源地

表 2-30 电源地

信号名称	类型	描述	电压	内部上下拉
VDD_1V0	P	SOC 域核心电源	1.05/1.2	无
DDR_VDDE	P	DDR I/O 电源	1.35/1.5	无
I0_3V3	P	SOC 域 I/O 电源	3.3	无
USB_A3V3	P	USB PHY 高压电源	3.3	无
PSU_1V0	P	PCIe/USB/SATA PHY 1.0V 供电	1.0	无
PSU_1V5	P	USB/SATA PHY 高压供电	1.8	无
PLL_SATA_VDD1V0	P	PLL0 电源	1.0	无
PLL_DDR_VDD1V0	P	PLL1 电源	1.0	无
PLL_NODE_VDD1V0	P	PLL2 电源	1.0	无
PLL_SATA_VSS	P	PLL0 地	—	无
PLL_DDR_VSS	P	PLL1 地	—	无
PLL_NODE_VSS	P	PLL2 地	—	无



2.21 外设功能复用表

模块层次的功能复用关系如下表所示：

表 2-31 外设功能复用表

功能 0	功能 1	功能 2	功能 3	功能 4	功能 5
DDR3					
PCIex4		4*PCIex1			
PCIex4	GPIO (1)	2*PCIex1			
SATA	GPIO (1)				
USB					
GMAC0					
GMAC1	GPIO (10)				
Local Bus	GPIO (30)		UART1-2		
NAND	GPIO (20)	eMMC			
SPI0-3					
RTC					
I2C0-3	GPIO (8)				
CAN0	GPIO (2)				
CAN1	GPIO (2)				
CAN2-5					
			UART0 (8)	UART0 (4)	UART0 (2)
					UART5 (2)
				UART3 (4)	UART3 (2)
					UART4 (2)
			UART1 (8)	UART1 (4)	UART1 (2)
					UART8 (2)
				UART6 (4)	UART6 (2)
					UART7 (2)
			UART2 (8)	UART2 (4)	UART2 (2)
					UART11 (2)
				UART9 (4)	UART9 (2)
					UART10 (2)
JTAG (LA264)		JTAG	JTAG (LA132)		
	GPIO (12)				
PWM0-1	GPIO (2)				
PWM2-3	GPIO (2)				
PWM4-5					
SDIO	GPIO (6)				

注：上表中 GPIO(*)中的*表示 GPIO 端口数量。



3 功能描述

3.1 DDR3 SDRAM 控制器接口描述

龙芯 2K1500 处理器内部集成的内存控制器的设计遵守 DDR3 SDRAM 的行业标准（JESD79-3）。所实现的所有内存读/写操作都遵守 JESD79-3 的规定。

3.1.1 DDR3 SDRAM 接口工作频率范围

支持 133-800MHZ 工作频率。

3.1.2 DDR3 SDRAM 控制器特性

龙芯 2K1500 处理器支持最大 2 个 CS（由 2 个片选信号实现，即 1 个双面内存条），一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。

在具体选择使用不同内存芯片类型时，可以调整 DDR3 控制器参数设置进行支持。其中，支持的最大片选（CS_n）数为 2，行地址（RAS_n）数为 16，列地址（CAS_n）数为 12，逻辑体选择（BANK_n）数为 3。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。

龙芯 2K1500 处理器中内存控制器具有如下特征：

- 64 位 DDR3 控制器，最高工作频率 800MHz
- 支持 32 位模式下的 ECC
- 可配置为 32/16 位模式
- 单 CS 支持的最大内存容量为 8GB
- 支持命令调度

3.2 SPI 接口

串行外围设备接口 SPI 总线技术是 Motorola 公司推出的多种微处理器、微控制器以及外围设备之间的一种全双工、同步、串行数据接口标准。

本系统集成的 SPI 控制器仅可作为主控端，所连接的是从设备。对于软件而言，SPI 控制器除了有若干 I/O 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory



空间分配在 0x1c000000，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI Flash 启动。

以下列举了 SPI 管脚信号与外设通信的时序图：

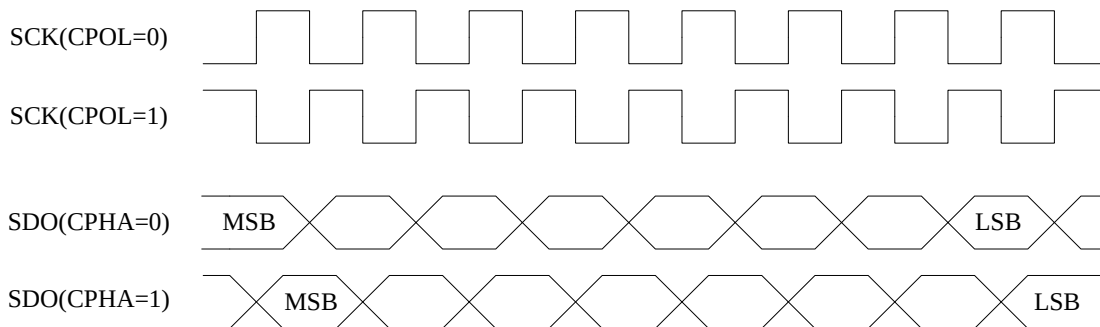


图 3-1 SPI 主控制器接口时序

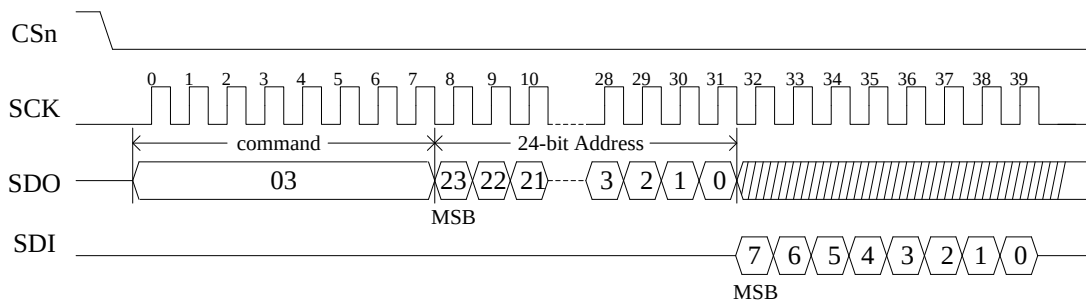


图 3-2 SPI Flash 标准读时序

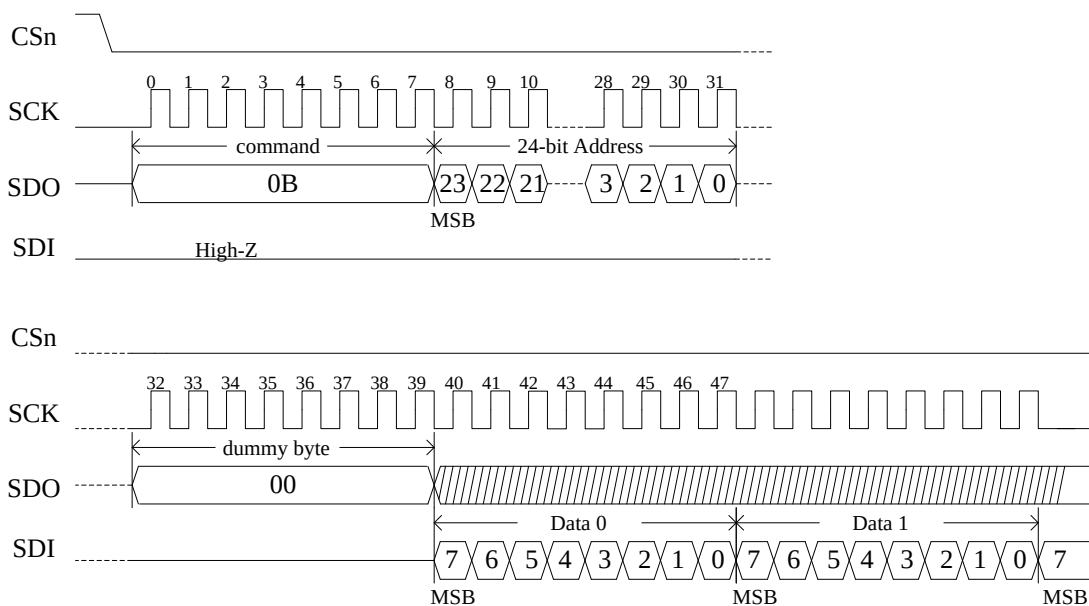


图 3-3 SPI Flash 快速读时序



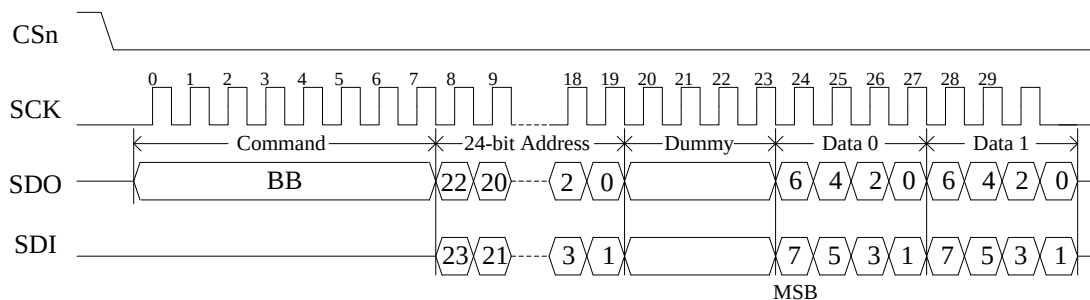


图 3-4 SPI Flash 双向 I/O 读时序

龙芯 2K1500 处理器中 SPI 具有如下特征：

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持
- 支持到 4 个的变长字节传输
- 支持系统启动
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式
- 其中 2 个支持 QSPI

3.3 LIO

LocalIO 控制器提供了简单外设访问接口，主要用于连接系统启动 ROM。它对外提供一个片选，具有可配置的数据位宽和访问延迟。其中 wait 参数指 liord 或 liowr 信号为低的周期数减一，读写时序可参考图 3-5 LocalIO 读时序和图 3-6 LocalIO 写时序。当数据位宽为 16 时，送出的地址由 CPU 物理地址右移一位得到。

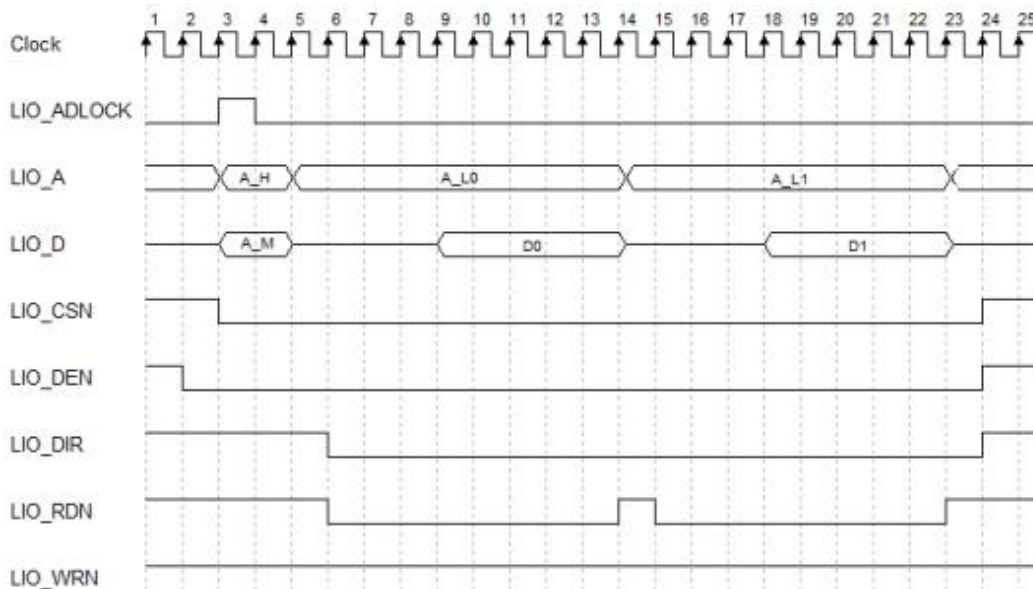


图 3-5 LocalIO 读时序



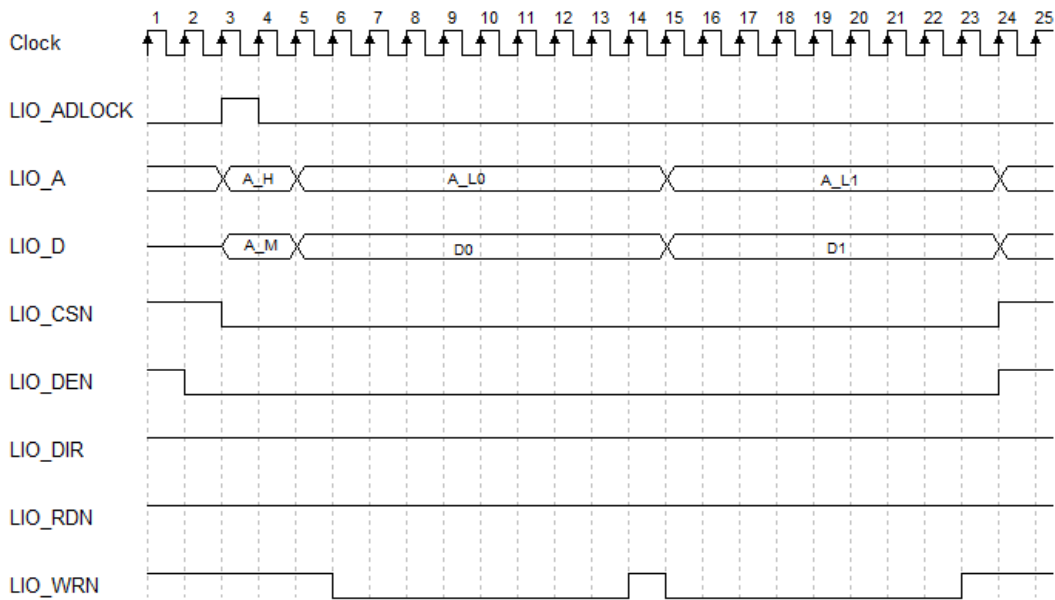


图 3-6 LocalI/O 写时序

说明:

- 图中 clock 信号实际并不存在，只是为了方便时序描述
- A_H 代表地址 bit23-bit29(8 位模式)/bit24-bit30(16 位模式)
- A_M 代表地址 bit7-bit22(8 位模式)/bit8-bit23(16 位模式)
- A_L 代表低 7 位地址
- 在 big_mem 设置为 0 时，第 4 拍波形不存在，第 4 拍之后的波形向前推一拍
- LIO_WRN 和 LIO_RDN 低有效时间与 LIO clock_period_i 设置有关
- LIO clock_period_i 设置为 1 时-低电平持续 8 拍
- LIO clock_period_i 设置为 2 时-低电平持续 16 拍
- LIO clock_period_i 设置为 3/0 时-低电平持续 32 拍
- 一次 CS 有效期间可能出现多次读写操作，以上时序图仅作为一种示例

3.4 GPIO

- 12 个专用 GPIO 引脚
- 其余引脚与其他接口相复用，使用各个接口电压域
- 输入中断功能
- 中断极性、触发类型可设置



3.5 UART

- 3 个全功能 UART 和流控 TXD, RXD, CTS, RTS, DSR, DTR, DCD, RI
- 最多 12 个 UART 接口
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

3.6 CAN

- 符合 CAN2.0A/B 规范
- 6 路 CAN 接口
- 支持中断

3.7 I2C

2K1500 芯片集成了 4 个 I2C 接口，主要用于实现两个器件之间数据的交换。

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。

龙芯 2K1500 处理器中 I2C 具有如下特征：

- 兼容 SMBUS (100Kbps)
- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 主从设备支持
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态



3.8 PWM

2K1500 芯片里实现了六路脉冲宽度调节/计数控制器，以下简称 PWM。

每一路 PWM 工作和控制方式完全相同。每路 PWM 有一路脉冲宽度输出信号和一路待测脉冲输入信号。系统时钟高达 125MHz，计数寄存器和参考寄存器均 32 位数据宽度。

龙芯 2K1500 处理器中 PWM 具有如下特征：

- 6 路 32 位可配置 PWM 定时器
- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制

3.9 NAND

NAND FLASH 控制器最大支持单片 16GB FLASH 的容量，最大页大小为 8KB，芯片最多支持 4 个片选和 4 个 RDY 信号，控制器支持 SLC 和 MLC 两种类型 FLASH 的操作。

龙芯 2K1500 处理器中 NAND 具有如下特征：

- 最大支持单片 16GB NAND Flash
- 最大支持 4 个片选
- 支持 SLC 和 MLC
- 支持 512/2K/4K/8K 页

3.10 RTC

实时时钟（RTC）单元可以在主板上电后进行配置，RTC 单元运行时电流仅几个微安。

RTC 包含振荡器，结合外部 32.768KHZ 晶体产生工作时钟，即使不使用 RTC 功能也需要连接晶体。该时钟用于时间信息的维护以及产生各种定时和计数中断，可产生 3 个计时中断。

3.11 SDIO

龙芯 2K1500 集成了一个 SDIO 控制器，用于 SD Memory 和 SDIO 卡的读写，兼容 SD Memory 4.0/MMC/SDIO 4.0 协议。

3.12 eMMC

龙芯 2K1500 集成了一个 eMMC 控制器，兼容 eMMC 5.1 协议。



3.13 GMAC

龙芯 2K1500 处理器中 GMAC 具有如下特征：

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除

3.14 OTG

2K1500 的 OTG 支持特性如下：

- 支持 HNP 与 SRP 协议
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据
- 在 device 模式下，为高速设备（480Mbps）
- 在 host 模式下，支持高速设备（480Mbps）
- 在 device 模式下，支持 6 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输
- 在 device 模式下，最多同时支持 4 个 IN 方向的传输
- 在 host 模式下，支持 12 个 channel，且软件可配置每个 channel 的方向
- 在 host 模式下，支持 periodic OUT 传输

3.15 USB2.0

2K1500 的 USB 主机端口特性如下：

- 5 个独立的 USB2.0 的 HOST 端口
- 其中端口 0 固定为 OTG 工作模式
- 兼容 USB1.1 和 USB2.0
- 内部集成 XHCI 控制器

3.16 SATA

SATA 的特性包括：

- 1 个 SATA 端口
- 支持 SATA 1.5Gbps、SATA2 代 3Gbps 和 SATA3 代 6Gbps 的传输



- 兼容串行 ATA 2.6、AHCI 1.1 和 AHCI 1.3.1 规范

3.17 PCIe

2K1500 的 PCIe 支持特性如下：

- 兼容 PCIe 3.0
- 双独立 X4 接口
- 其中一路 X4 接口可以配置为 4 个 X1 接口，4X1 模式下支持最高速率为 PCIe 2.0 速率，仅 RC 模式
- 其中一路 X4 接口可以配置为 2 个 X1 接口，2X1 模式下支持最高速率为 PCIe 2.0 速率，RC 或 EP 模式

3.18 HPET

2K1500 的 HPET 支持特性如下：

- 64 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

3.19 加解密模块

- AES、DES 算法支持
- RSA 算法支持

3.20 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

3.21 Watchdog

- 32 比特计数器及初始化寄存器



4 时钟

4.1 时钟内部框图

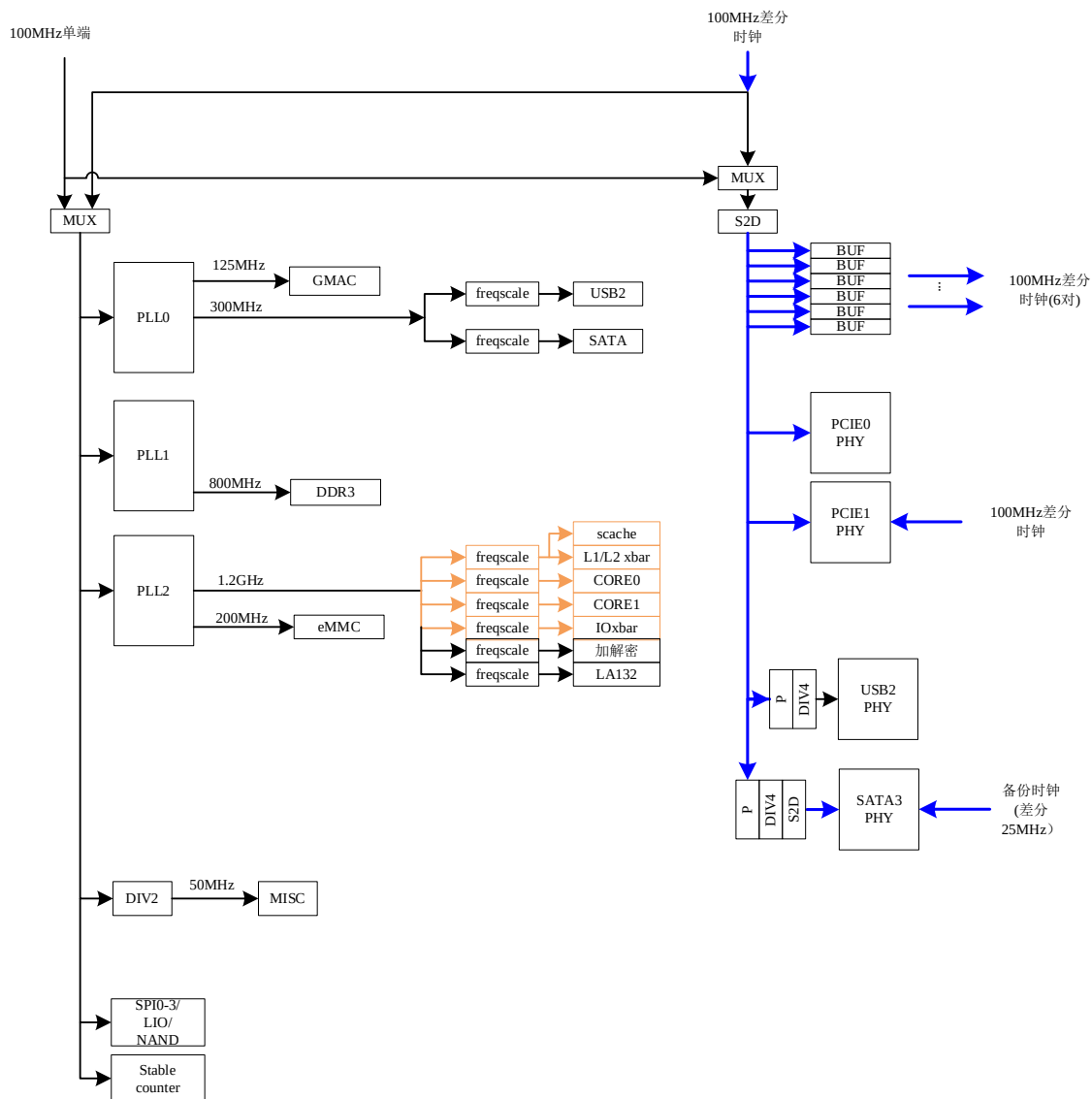


图 4-1 芯片时钟结构图

4.2 芯片时钟介绍

芯片的系统参考时钟有两种选择方式，一种是选择单端输入时钟 SYS_SYSCLK，另一种是选择差分输入时钟 PCIe0_REFCLKIN_P/N，选择信号为 SYS_CLKMODE。无论哪种方式，必须保证系统参考时钟的频率为 100MHz。

除系统时钟外，还需要一个 32.768KHz 的时钟作为 RTC 时钟。其他参考时钟的描述如下。



表 4-1 芯片时钟输入

时钟	频率	说明
SYS_SYSCLK	100MHz	芯片 100 MHz 主参考时钟
PCIe0_REFCLKIN_P/N	100MHz	芯片 100 MHz 差分参考时钟
PCIe1_REFCLKIN_P/N	100MHz	PCIe1 PHY 参考时钟输入
SATA_REFCLKIN_P/N	25MHz	差分 25MHz 参考时钟输入(内部有备份时钟)
RTC_XI	32.768KHz	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入
RTC_XO	32.768KHz	32.768KHz 晶体输出
SYS_TESTCLK	-	测试时钟输入，功能模式下板级必须将该引脚下拉至 GND

表 4-2 芯片时钟输出

时钟	频率	说明
PCIe_REFCLKOUT_P/N[0]	100MHz	第 0 路 PCIe 输出参考时钟
PCIe_REFCLKOUT_P/N[1]	100MHz	第 1 路 PCIe 输出参考时钟
PCIe_REFCLKOUT_P/N[2]	100MHz	第 2 路 PCIe 输出参考时钟
PCIe_REFCLKOUT_P/N[3]	100MHz	第 3 路 PCIe 输出参考时钟
PCIe_REFCLKOUT_P/N[4]	100MHz	第 4 路 PCIe 输出参考时钟
PCIe_REFCLKOUT_P/N[5]	100MHz	第 5 路 PCIe 输出参考时钟

4.3 时钟功能描述

芯片内部包含了多个 PLL 和时钟分频模块，用于产生芯片需要的各个时钟。

芯片内部包含了 3 个主要 PLL，这 3 个 PLL 以系统参考时钟作为输入，用于产生芯片内部网络需要的各个时钟。每个 PLL 最多可以提供 3 个时钟输出。

这 3 个 PLL 的用途分别为：

一个 PLL 用于产生 node 和 eMMC 时钟，node 时钟经过各自分频供 CPU 核、二级 Cache、一二级交叉开关、IO 子网络、加解密模块以及 LA132 使用；

一个 PLL 产生 GMAC 控制器、SATA 以及 USB 的时钟；

一个 PLL 产生 DDR 时钟；

4.4 频率配置

参考用户手册。



5 热设计

5.1 热参数

表 5-1 龙芯 2K1500 的热阻参数

芯片基底热阻 $R_{th(J-B)}$	1.879	K/W
芯片硅片热阻 $R_{th(J-C)}$	0.136	K/W

5.2 焊接温度及焊接曲线

表 5-2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (T _L)	217 ° C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (tp)2		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.



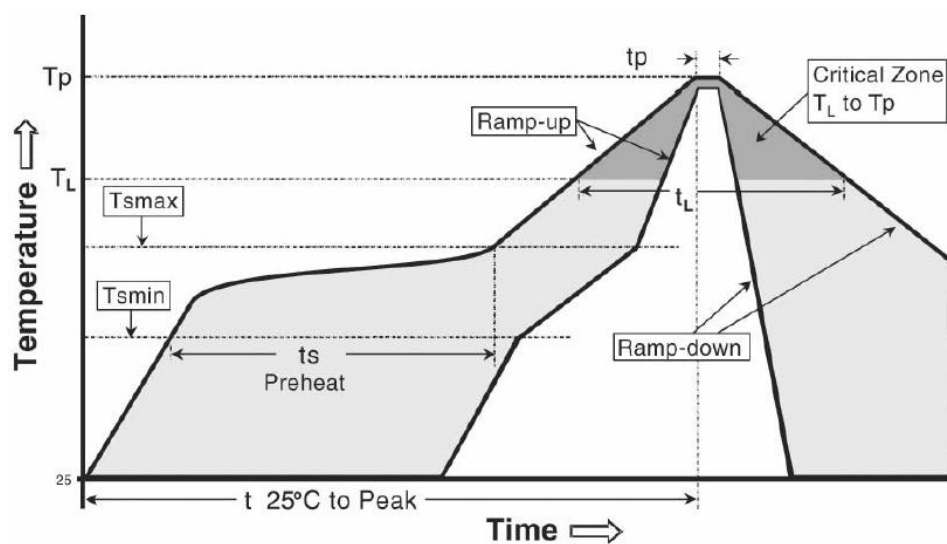


图 5-1 焊接回流曲线



6 电气特性

6.1 最大额定工作条件

表 6-1 芯片绝对最大额定电压

电源域	电源	描述	电压 (V)	
			Min	Max
SOC	VDD_1V0	SOC 域核心电源	-0.3	1.3
	DDR_VDDE	DDR IO 电源	-0.3	1.6
	IO_3V3	SOC 域 IO 电源	-0.3	3.6
	USB_A3V3	USB PHY 高压电源	-0.3	3.6
	PSU_1V0	PCIe/USB/SATA PHY 1.0V 供电	-0.3	1.1
	PSU_1V5	USB/SATA PHY 高压供电	-0.3	1.9
	PLL_SATA_VDD1V0	PLL0 电源	-0.3	1.2
	PLL_DDR_VDD1V0	PLL1 电源	-0.3	1.2
	PLL_NODE_VDD1V0	PLL2 电源	-0.3	1.2

6.2 工作电源

表 6-2 工作电源要求

电源域	电源	描述	电压 (V)			最大电流 (壳温 85℃)
			Min	Typ	Max	
SOC	VDD_1V0 ¹	SOC 域核心电源	1.0	1.05	1.1	3.0A
			1.15	1.2	1.25	3.5A
	DDR_VDDE	DDR IO 电源	1.3	1.35	1.4	500mA
			1.45	1.5	1.55	
	IO_3V3	SOC 域 IO 电源	3.135	3.3	3.465	200mA
	USB_A3V3	USB PHY 高压电源	3.135	3.3	3.465	20mA
	PSU_1V0	PCIe/USB/SATA PHY 1.0V 供电	0.95	1.0	1.05	1.2A
	PSU_1V5 ²	USB/SATA PHY 高压供电	1.45	1.5	1.55	200mA
			1.75	1.8	1.85	
	PLL_SATA_VDD1V0	PLL0 电源	0.95	1.0	1.05	35mA
	PLL_DDR_VDD1V0	PLL1 电源	0.95	1.0	1.05	
	PLL_NODE_VDD1V0	PLL2 电源	0.95	1.0	1.05	
GND	VSS	芯片地	-	0	-	-
	PLL_SATA_VSS1V0	PLL0 地	-	0	-	-
	PLL_DDR_VSS1V0	PLL1 地	-	0	-	-
	PLL_NODE_VSS1V0	PLL2 地	-	0	-	-

注：



- 1、VDD_1V0 为 1.05V 时，处理器核最高频率 1.0GHz；
VDD_1V0 为 1.2V 时，处理器核最高频率 1.2GHz。
- 2、PSU_1V5 电压推荐使用 1.8V（仅当采用 2K1000 兼容方案时可以使用 1.5V）。

6.3 IO 引脚驱动能力

上节中 IO_3V3 域的引脚驱动能力 4 档可调（参考用户手册 4.31 节），对于每一档的驱动能力如下所示。

表 6-3 IO 引脚驱动能力

配置参数	00	01	10	11
I_{OH} (mA)	2	4	8	12
I_{OL} (mA)	1.7	3.3	5.7	7.2

6.4 ESD 防护能力

静电放电敏感度（ESD）：2000V（HBM）。

6.5 湿敏等级

湿敏等级：MSL3。

6.6 功耗信息

6.6.1 VDD_1V0 电压域功耗

表 6-4 中列出 VDD_1V0 电压域在各条件下的最大功耗值。表中功耗值在系统级测试平台上测得，内存速率为 DDR3-800。待机功耗在双核开启，系统无操作时测得；峰值功耗在双核运行 SPEC2000 时测得。

表 6-4 VDD_1V0 电压域各条件下最大功耗

VDD_1V0 域电压/V	CPU 频率/GHz	VDD_1V0 电压域最大功耗/W			
		壳温 25℃		壳温 85℃	
		待机	峰值	待机	峰值
1.05	1.0	1.67	2.19	2.11	2.61
1.2	1.2	2.59	3.37	3.33	4.02

6.6.2 全芯片功耗

表 6-5 中列出全芯片在各条件下的最大功耗值，表中功耗值在系统级测试平台上测得，内存速率为 DDR3-800，外设连接 1 个网口，2 个 U 盘，1 路 SATA 及 2 路 X4 PCIE。待



机功耗在双核开启，系统无操作时测得；峰值功耗在双核运行 SPEC2000 时测得。

表 6-5 全芯片各条件下最大功耗

VDD_1V0 域电压/V	CPU 频率/GHz	全芯片最大功耗/W			
		壳温 25℃		壳温 85℃	
		待机	峰值	待机	峰值
1.05	1.0	2.89	3.42	3.50	4.02
1.2	1.2	3.82	4.60	4.72	5.50

6.7 电源时序

冷启动上电时序

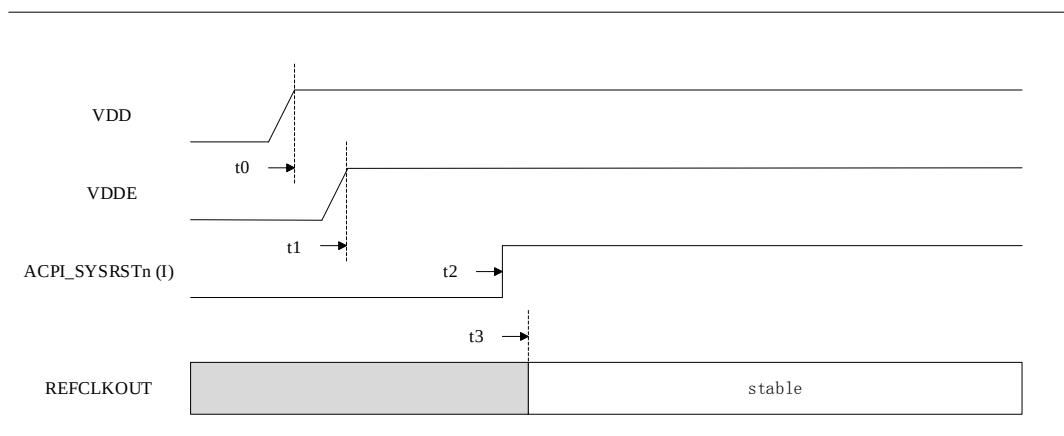


图 6-1 冷启动上电时序（RTC 掉电）

注：

1. VDD包括：

VDD_1V0, DDR_VDDE, USB_A3V3, PSU_1V0, PSU_1V5, PLL_SATA_VDD1V0,
PLL_DDR_VDD1V0, PLL_NODE_VDD1V0

2. VDDE包括：

I0_3V3

3. 芯片的ACPI_SYSRSTn信号没有去抖动功能，需主板提供去抖动电路。

4. VDD和VDDE的时序可根据需要进行交换，即VDDE可早于VDD上电。

5. I0_3V3和USB_A3V3可以合并，也即两者可以同时上电。

表 6-6 冷启动上电时序要求

标记符	参数	需求	说明
t0	VDD 电源上电时刻		
t1	VDDE 电源稳定时刻	$t1 - t0 \geq 10\mu s$	Core 电源和 I0 电源上电时间间隔
t2	ACPI_SYSRSTn 解复位时刻	$t2 - t1 > 5ms$	应在所有电源和时钟均稳定后再解复位
t3	输出时钟稳定时刻	$t3 - t2 < 10\mu s$	输出时钟的稳定时刻不晚于 ACPI_SYSRSTn 解复位后 10 us



热复位时序

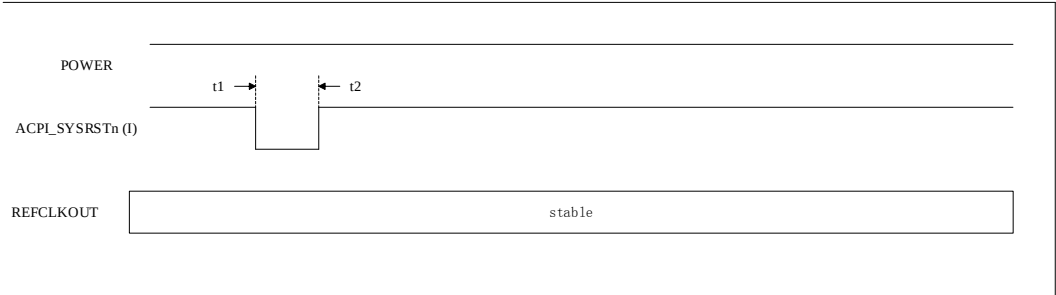


图 6-2 热复位时序图

注：

1. POWER包括所有的供电。

表 6-7 热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低时刻		
t2	ACPI_SYSRSTn 变高时刻	$t2 - t1 > 1\text{ms}$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效



7 封装信息

7.1 封装尺寸

芯片采用 FC-BGA-608 封装形式，封装尺寸为 27mm x 27mm，分为 A 版和 B 版两种封装，详细封装尺寸见图 7-1 和图 7-2 所示。

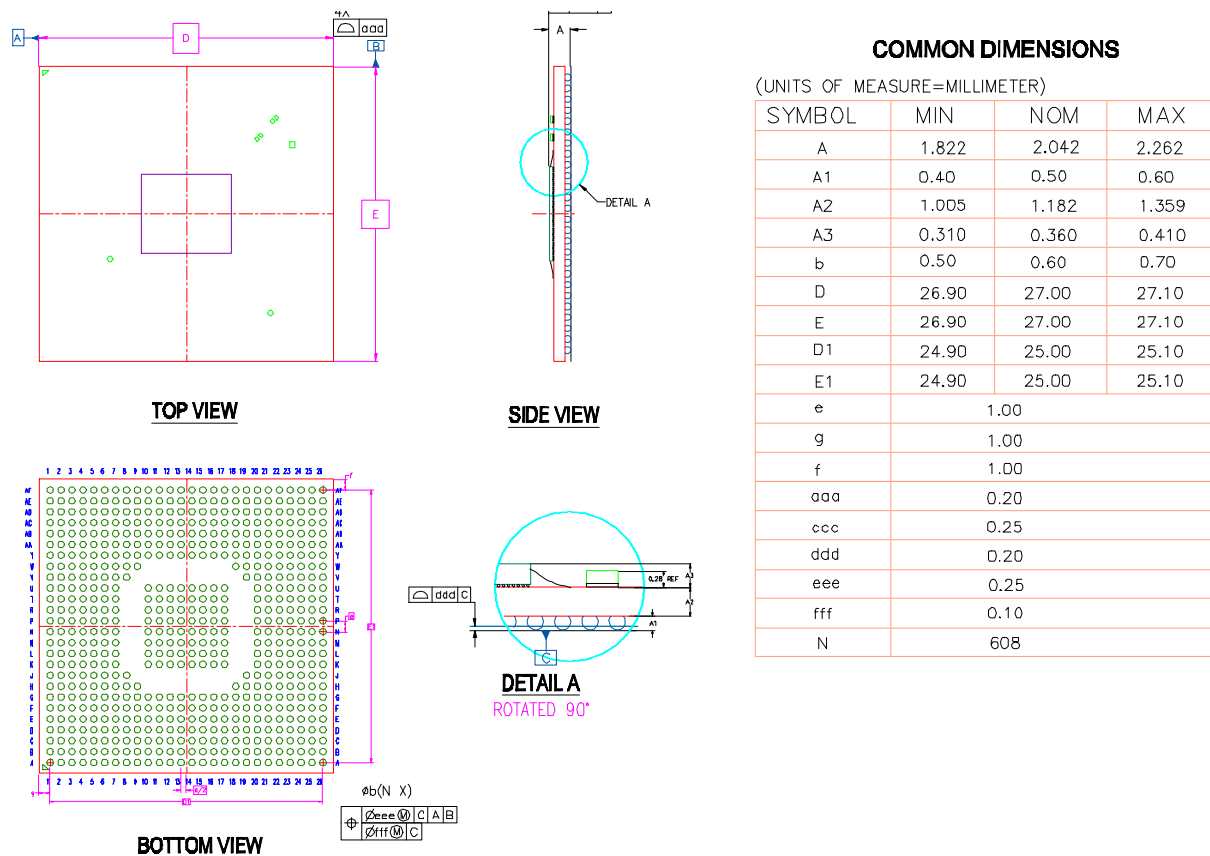


图 7-1 A 版封装尺寸



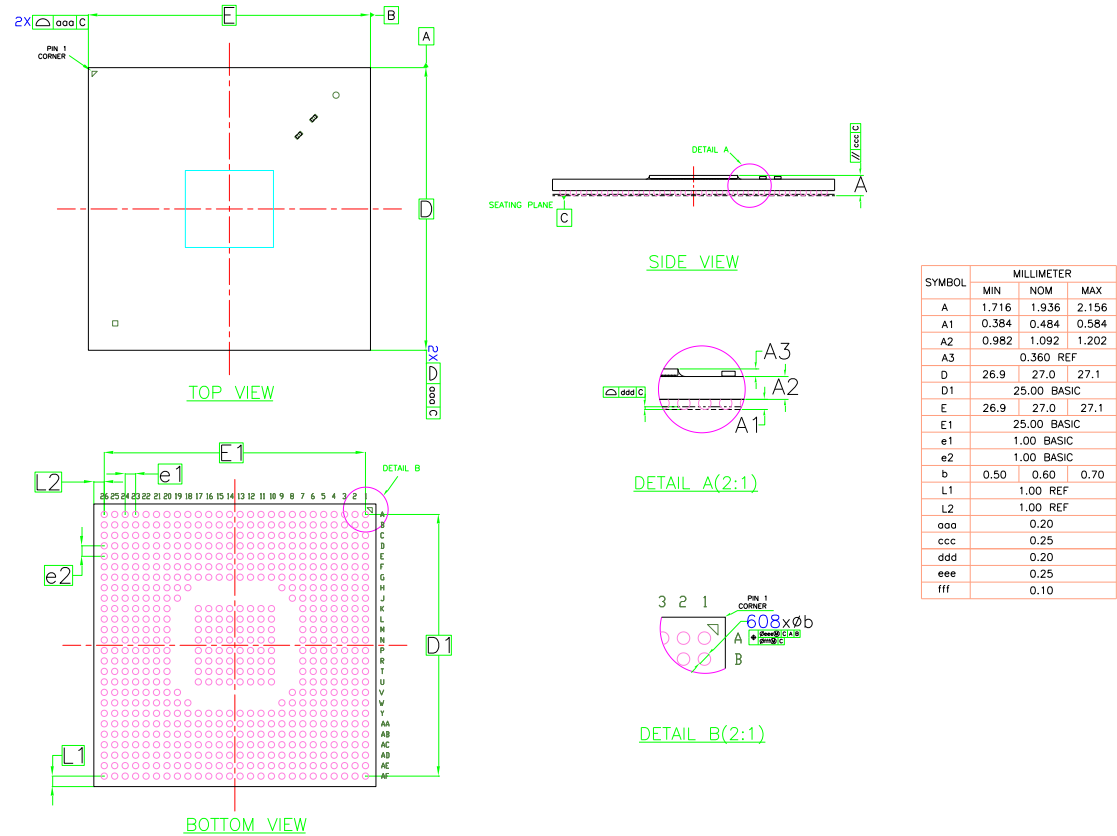


图 7-2 B 版封装尺寸

扣合力：最大承压 15kg。

7.2 信号位置分布

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
A	VSS	HARD_VDD	HARD_VDD	HARD_VDD	HARD_VDD	HARD_VDD	PCIE1_RST	PCIE1_RST	SATA_TST	SATA_TST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
B	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF
C	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF	CHP_CONF
D	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0
E	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0	SPI0_CS0
F	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
G	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
H	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
I	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
J	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
K	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
L	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
M	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
N	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
O	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
P	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
Q	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
R	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
S	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
T	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
U	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
V	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
W	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
X	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
Y	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST
Z	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST	PCIE1_RST

图 7-3 信号引脚分布顶视图



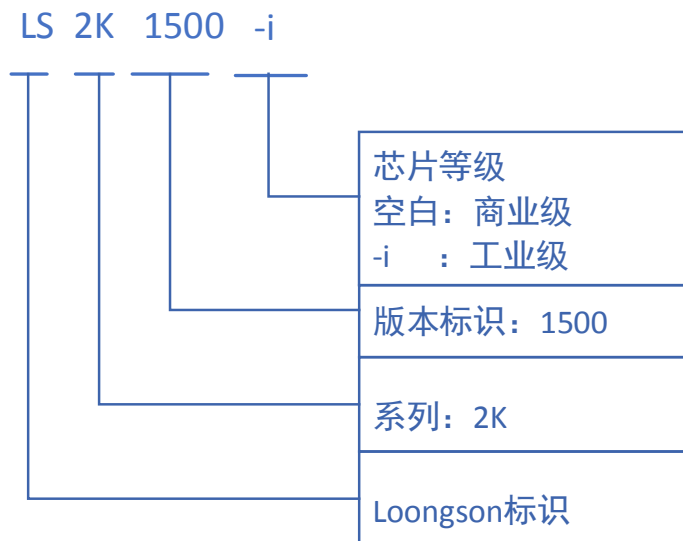
7.3 芯片引脚排布

请参见附录 A。

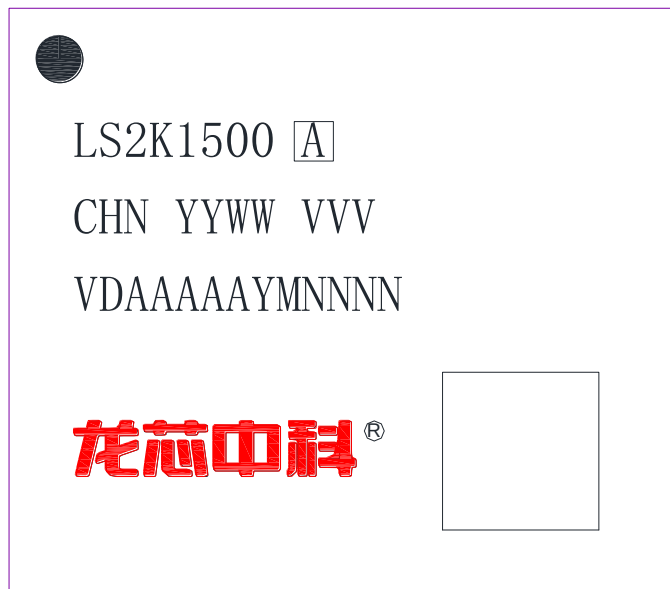


8 产品标识

龙芯 2K1500 命名规则如下：



芯片表面标识：



- a) ●：定位点；
- b) LS2K1500：器件识别号；
- c) 特殊标志 A：等级标识（留空：商业级；-i：工业级）；
- d) CHN YYWW VVV：设计厂，日期代码和版本号；
- e) VD AAAAA YMNNNN ：芯片序列号；
- f) 龙芯中科®：注册商标；
- g) □：芯片序列号二维码。



附录 A：芯片引脚列表

引脚号	引脚名称	类别	功能
V6	DDR_A00	0	DDR3 SDRAM 地址总线信号 00
W4	DDR_A01	0	DDR3 SDRAM 地址总线信号 01
AA4	DDR_A02	0	DDR3 SDRAM 地址总线信号 02
AA3	DDR_A03	0	DDR3 SDRAM 地址总线信号 03
W3	DDR_A04	0	DDR3 SDRAM 地址总线信号 04
Y4	DDR_A05	0	DDR3 SDRAM 地址总线信号 05
Y1	DDR_A06	0	DDR3 SDRAM 地址总线信号 06
W1	DDR_A07	0	DDR3 SDRAM 地址总线信号 07
Y2	DDR_A08	0	DDR3 SDRAM 地址总线信号 08
V4	DDR_A09	0	DDR3 SDRAM 地址总线信号 09
Y5	DDR_A10	0	DDR3 SDRAM 地址总线信号 10
W2	DDR_A11	0	DDR3 SDRAM 地址总线信号 11
V3	DDR_A12	0	DDR3 SDRAM 地址总线信号 12
AE4	DDR_A13	0	DDR3 SDRAM 地址总线信号 13
U1	DDR_A14	0	DDR3 SDRAM 地址总线信号 14
U3	DDR_A15	0	DDR3 SDRAM 地址总线信号 15
W6	DDR_BA0	0	DDR3 SDRAM 逻辑 Bank 地址 0
W5	DDR_BA1	0	DDR3 SDRAM 逻辑 Bank 地址 1
V1	DDR_BA2	0	DDR3 SDRAM 逻辑 Bank 地址 2
AB6	DDR_CASN	0	DDR3 SDRAM 列地址选择信号
U6	DDR_CKE0	0	DDR3 SDRAM 时钟使能输出 0
U4	DDR_CKE1	0	DDR3 SDRAM 时钟使能输出 1
N4	DDR_CKN0	DIFF OUT	DDR3 SDRAM 差分时钟负输出 0
M4	DDR_CKN1	DIFF OUT	DDR3 SDRAM 差分时钟负输出 1
AC1	DDR_CKN6	DIFF OUT	DDR3 SDRAM 差分时钟负输出 6
AE1	DDR_CKN7	DIFF OUT	DDR3 SDRAM 差分时钟负输出 7
N3	DDR_CKP0	DIFF OUT	DDR3 SDRAM 差分时钟正输出 0
M3	DDR_CKP1	DIFF OUT	DDR3 SDRAM 差分时钟正输出 1
AC2	DDR_CKP6	DIFF OUT	DDR3 SDRAM 差分时钟正输出 6
AD1	DDR_CKP7	DIFF OUT	DDR3 SDRAM 差分时钟正输出 7
AD4	DDR_CSN0	0	DDR3 SDRAM 片选输出 0
AA7	DDR_CSN1	0	DDR3 SDRAM 片选输出 1
AC5	DDR_ODT0	0	DDR3 SDRAM ODT 输出 0
AF3	DDR_ODT1	0	DDR3 SDRAM ODT 输出 1
AE3	DDR_RASN	0	DDR3 SDRAM 行地址选择信号
V2	DDR_RESETN	0	DDR3 SDRAM 复位控制输出
AB3	DDR_REXT	I	外部参考电阻，通过 240ohm/1%电阻连至地 (PCB 下拉)
AF2	DDR_WEN	0	DDR3 SDRAM 写使能信号



引脚号	引脚名称	类别	功能
K4	DDR_DQ00	IO	DDR3 SDRAM 数据总线信号 00
L6	DDR_DQ01	IO	DDR3 SDRAM 数据总线信号 01
K6	DDR_DQ02	IO	DDR3 SDRAM 数据总线信号 02
J3	DDR_DQ03	IO	DDR3 SDRAM 数据总线信号 03
K7	DDR_DQ04	IO	DDR3 SDRAM 数据总线信号 04
J5	DDR_DQ05	IO	DDR3 SDRAM 数据总线信号 05
J4	DDR_DQ06	IO	DDR3 SDRAM 数据总线信号 06
H1	DDR_DQ07	IO	DDR3 SDRAM 数据总线信号 07
M1	DDR_DQ08	IO	DDR3 SDRAM 数据总线信号 08
M6	DDR_DQ09	IO	DDR3 SDRAM 数据总线信号 09
M7	DDR_DQ10	IO	DDR3 SDRAM 数据总线信号 10
L3	DDR_DQ11	IO	DDR3 SDRAM 数据总线信号 11
K2	DDR_DQ12	IO	DDR3 SDRAM 数据总线信号 12
K1	DDR_DQ13	IO	DDR3 SDRAM 数据总线信号 13
K3	DDR_DQ14	IO	DDR3 SDRAM 数据总线信号 14
L4	DDR_DQ15	IO	DDR3 SDRAM 数据总线信号 15
R4	DDR_DQ16	IO	DDR3 SDRAM 数据总线信号 16
P7	DDR_DQ17	IO	DDR3 SDRAM 数据总线信号 17
P4	DDR_DQ18	IO	DDR3 SDRAM 数据总线信号 18
P3	DDR_DQ19	IO	DDR3 SDRAM 数据总线信号 19
N2	DDR_DQ20	IO	DDR3 SDRAM 数据总线信号 20
N1	DDR_DQ21	IO	DDR3 SDRAM 数据总线信号 21
N6	DDR_DQ22	IO	DDR3 SDRAM 数据总线信号 22
N5	DDR_DQ23	IO	DDR3 SDRAM 数据总线信号 23
T7	DDR_DQ24	IO	DDR3 SDRAM 数据总线信号 24
T6	DDR_DQ25	IO	DDR3 SDRAM 数据总线信号 25
T4	DDR_DQ26	IO	DDR3 SDRAM 数据总线信号 26
R6	DDR_DQ27	IO	DDR3 SDRAM 数据总线信号 27
R1	DDR_DQ28	IO	DDR3 SDRAM 数据总线信号 28
R5	DDR_DQ29	IO	DDR3 SDRAM 数据总线信号 29
R2	DDR_DQ30	IO	DDR3 SDRAM 数据总线信号 30
R3	DDR_DQ31	IO	DDR3 SDRAM 数据总线信号 31
AE5	DDR_DQ32	IO	DDR3 SDRAM 数据总线信号 32
AD6	DDR_DQ33	IO	DDR3 SDRAM 数据总线信号 33
AF5	DDR_DQ34	IO	DDR3 SDRAM 数据总线信号 34
AB8	DDR_DQ35	IO	DDR3 SDRAM 数据总线信号 35
Y10	DDR_DQ36	IO	DDR3 SDRAM 数据总线信号 36
AA9	DDR_DQ37	IO	DDR3 SDRAM 数据总线信号 37
AC8	DDR_DQ38	IO	DDR3 SDRAM 数据总线信号 38
AF7	DDR_DQ39	IO	DDR3 SDRAM 数据总线信号 39
AB9	DDR_DQ40	IO	DDR3 SDRAM 数据总线信号 40
AD7	DDR_DQ41	IO	DDR3 SDRAM 数据总线信号 41



引脚号	引脚名称	类别	功能
AD8	DDR_DQ42	IO	DDR3 SDRAM 数据总线信号 42
AA10	DDR_DQ43	IO	DDR3 SDRAM 数据总线信号 43
AC9	DDR_DQ44	IO	DDR3 SDRAM 数据总线信号 44
Y11	DDR_DQ45	IO	DDR3 SDRAM 数据总线信号 45
AC10	DDR_DQ46	IO	DDR3 SDRAM 数据总线信号 46
AD9	DDR_DQ47	IO	DDR3 SDRAM 数据总线信号 47
AA11	DDR_DQ48	IO	DDR3 SDRAM 数据总线信号 48
AB11	DDR_DQ49	IO	DDR3 SDRAM 数据总线信号 49
AD11	DDR_DQ50	IO	DDR3 SDRAM 数据总线信号 50
AA12	DDR_DQ51	IO	DDR3 SDRAM 数据总线信号 51
AC12	DDR_DQ52	IO	DDR3 SDRAM 数据总线信号 52
AB12	DDR_DQ53	IO	DDR3 SDRAM 数据总线信号 53
AE12	DDR_DQ54	IO	DDR3 SDRAM 数据总线信号 54
AD12	DDR_DQ55	IO	DDR3 SDRAM 数据总线信号 55
AF12	DDR_DQ56	IO	DDR3 SDRAM 数据总线信号 56
AA13	DDR_DQ57	IO	DDR3 SDRAM 数据总线信号 57
AC13	DDR_DQ58	IO	DDR3 SDRAM 数据总线信号 58
AD13	DDR_DQ59	IO	DDR3 SDRAM 数据总线信号 59
AF14	DDR_DQ60	IO	DDR3 SDRAM 数据总线信号 60
AE14	DDR_DQ61	IO	DDR3 SDRAM 数据总线信号 61
AA14	DDR_DQ62	IO	DDR3 SDRAM 数据总线信号 62
AB14	DDR_DQ63	IO	DDR3 SDRAM 数据总线信号 63
L5	DDR_DQM0	IO	DDR3 SDRAM 数据屏蔽位 0
M2	DDR_DQM1	IO	DDR3 SDRAM 数据屏蔽位 1
P6	DDR_DQM2	IO	DDR3 SDRAM 数据屏蔽位 2
T5	DDR_DQM3	IO	DDR3 SDRAM 数据屏蔽位 3
AC7	DDR_DQM4	IO	DDR3 SDRAM 数据屏蔽位 4
AE7	DDR_DQM5	IO	DDR3 SDRAM 数据屏蔽位 5
AD10	DDR_DQM6	IO	DDR3 SDRAM 数据屏蔽位 6
Y13	DDR_DQM7	IO	DDR3 SDRAM 数据屏蔽位 7
J2	DDR_DQSN0	DIFF IO	DDR3 SDRAM 数据差分选通负端 0
L2	DDR_DQSN1	DIFF IO	DDR3 SDRAM 数据差分选通负端 1
P1	DDR_DQSN2	DIFF IO	DDR3 SDRAM 数据差分选通负端 2
T1	DDR_DQSN3	DIFF IO	DDR3 SDRAM 数据差分选通负端 3
AF6	DDR_DQSN4	DIFF IO	DDR3 SDRAM 数据差分选通负端 4
AF8	DDR_DQSN5	DIFF IO	DDR3 SDRAM 数据差分选通负端 5
AF11	DDR_DQSN6	DIFF IO	DDR3 SDRAM 数据差分选通负端 6
AF13	DDR_DQSN7	DIFF IO	DDR3 SDRAM 数据差分选通负端 7
J1	DDR_DQSP0	DIFF IO	DDR3 SDRAM 数据差分选通正端 0
L1	DDR_DQSP1	DIFF IO	DDR3 SDRAM 数据差分选通正端 1
P2	DDR_DQSP2	DIFF IO	DDR3 SDRAM 数据差分选通正端 2
T2	DDR_DQSP3	DIFF IO	DDR3 SDRAM 数据差分选通正端 3



引脚号	引脚名称	类别	功能
AE6	DDR_DQSP4	DIFF IO	DDR3 SDRAM 数据差分选通正端 4
AE8	DDR_DQSP5	DIFF IO	DDR3 SDRAM 数据差分选通正端 5
AE11	DDR_DQSP6	DIFF IO	DDR3 SDRAM 数据差分选通正端 6
AE13	DDR_DQSP7	DIFF IO	DDR3 SDRAM 数据差分选通正端 7
AB24	CAN0_RX	IO	CAN 通道 0 数据接收
AA22	CAN0_TX	IO	CAN 通道 0 数据发送
AC24	CAN1_RX	IO	CAN 通道 1 数据接收
AD25	CAN1_TX	IO	CAN 通道 1 数据发送
AF24	CAN2_RX	I	CAN 通道 2 数据接收
AE24	CAN2_TX	O	CAN 通道 2 数据发送
AF23	CAN3_RX	I	CAN 通道 3 数据接收
AE23	CAN3_TX	O	CAN 通道 3 数据发送
AF22	CAN4_RX	I	CAN 通道 4 数据接收
AE22	CAN4_TX	O	CAN 通道 4 数据发送
AF21	CAN5_RX	I	CAN 通道 5 数据接收
AE21	CAN5_TX	O	CAN 通道 5 数据发送
R25	GMACO_MDCK	O	RGMII 通道 0 管理接口时钟信号
P21	GMACO_MDIO	OD	RGMII 通道 0 管理接口数据信号
N24	GMACO_RCTL	I	RGMII 通道 0 接收控制
P25	GMACO_RXCK	I	RGMII 通道 0 接收时钟
M26	GMACO_RXD0	I	RGMII 通道 0 接收数据 0
N25	GMACO_RXD1	I	RGMII 通道 0 接收数据 1
N26	GMACO_RXD2	I	RGMII 通道 0 接收数据 2
P26	GMACO_RXD3	I	RGMII 通道 0 接收数据 3
R26	GMACO_TCTL	O	RGMII 通道 0 发送控制信号
P24	GMACO_TXCK	O	RGMII 通道 0 发送时钟信号
N23	GMACO_TXD0	O	RGMII 通道 0 发送数据 0
P23	GMACO_TXD1	O	RGMII 通道 0 发送数据 1
N21	GMACO_TXD2	O	RGMII 通道 0 发送数据 2
N20	GMACO_TXD3	O	RGMII 通道 0 发送数据 3
M24	GMAC1_MDCK	O	RGMII 通道 1 管理接口时钟信号
M25	GMAC1_MDIO	OD	RGMII 通道 1 管理接口数据信号
K24	GMAC1_RCTL	IO	RGMII 通道 1 接收控制
K26	GMAC1_RXCK	I	RGMII 通道 1 接收时钟
L21	GMAC1_RXD0	IO	RGMII 通道 1 接收数据 0
L22	GMAC1_RXD1	IO	RGMII 通道 1 接收数据 1
L23	GMAC1_RXD2	IO	RGMII 通道 1 接收数据 2
K25	GMAC1_RXD3	IO	RGMII 通道 1 接收数据 3
M23	GMAC1_TCTL	IO	RGMII 通道 1 发送控制
L24	GMAC1_TXCK	O	RGMII 通道 1 发送时钟
L25	GMAC1_TXD0	IO	RGMII 通道 1 发送数据 0
L26	GMAC1_TXD1	IO	RGMII 通道 1 发送数据 1



引脚号	引脚名称	类别	功能
M21	GMAC1_TXD2	IO	RGMI 通道 1 发送数据 2
M22	GMAC1_TXD3	IO	RGMI 通道 1 发送数据 3
W21	GPI000	IO	通用输入输出 00
AC25	GPI001	IO	通用输入输出 01
AB23	GPI002	IO	通用输入输出 02
AD26	GPI003	IO	通用输入输出 03
B7	GPI015	IO	通用输入输出 15
Y26	GPI024	IO	通用输入输出 24
U21	GPI025	IO	通用输入输出 25
T20	GPI026	IO	通用输入输出 26
C8	GPI031	IO	通用输入输出 31
D9	GPI042	IO	通用输入输出 42
W22	I2C0_SCL	OD	I2C 串行时钟 0
Y23	I2C0_SDA	OD	I2C 串行数据 0
V20	I2C1_SCL	OD	I2C 串行时钟 1
AA24	I2C1_SDA	OD	I2C 串行数据 1
W24	I2C2_SCL	OD	I2C 串行时钟 2
V24	I2C2_SDA	OD	I2C 串行数据 2
W25	I2C3_SCL	OD	I2C 串行时钟 3
W26	I2C3_SDA	OD	I2C 串行数据 3
G1	JTAG_TCK	I	JTAG 时钟输入
F1	JTAG_TDI	I	JTAG 数据输入
J6	JTAG_TDO	O	JTAG 数据输出
H2	JTAG_TMS	I	JTAG 模式输入
G2	JTAG_TRSTN	I	JTAG 复位输入
H3	JTAG_TSEL0	I	JTAG 选择输入 0, 00=CPU_JTAG, 01=JTAG, 10=LA132_JTAG, 11=NOT USED
AA18	JTAG_TSEL1	I	JTAG 选择输入 1, 同上
AE20	LIO_A0	IO	LIO 地址输出 0
Y16	LIO_A1	IO	LIO 地址输出 1
AB17	LIO_A2	IO	LIO 地址输出 2
AC18	LIO_A3	IO	LIO 地址输出 3
AD19	LIO_A4	IO	LIO 地址输出 4
AF20	LIO_A5	IO	LIO 地址输出 5
AA17	LIO_A6	IO	LIO 地址输出 6
AD15	LIO_AD00	IO	LIO 数据输入输出位 0
AC15	LIO_AD01	IO	LIO 数据输入输出位 1
AB15	LIO_AD02	IO	LIO 数据输入输出位 2
AA15	LIO_AD03	IO	LIO 数据输入输出位 3
AD16	LIO_AD04	IO	LIO 数据输入输出位 4
AC16	LIO_AD05	IO	LIO 数据输入输出位 5



引脚号	引脚名称	类别	功能
AA16	LIO_AD06	IO	LIO 数据输入输出位 6
AF17	LIO_AD07	IO	LIO 数据输入输出位 7
AE17	LIO_AD08	IO	LIO 数据输入输出位 8
AF18	LIO_AD09	IO	LIO 数据输入输出位 9
AD17	LIO_AD10	IO	LIO 数据输入输出位 10
AE18	LIO_AD11	IO	LIO 数据输入输出位 11
AD18	LIO_AD12	IO	LIO 数据输入输出位 12
AC17	LIO_AD13	IO	LIO 数据输入输出位 13
AF19	LIO_AD14	IO	LIO 数据输入输出位 14
AE19	LIO_AD15	IO	LIO 数据输入输出位 15
AE15	LIO_ADLOCK	IO	LIO 地址锁存输出
AC19	LIO_CSN	IO	LIO 片选输出
AF15	LIO_DEN	IO	LIO 数据允许输出
AD14	LIO_DIR	IO	LIO 数据方向输出
AF16	LIO_RDN	IO	LIO 读数据输出
AD20	LIO_RDY	IO	LIO 数据准备好输入
AE16	LIO_WRN	IO	LIO 写数据输出
C5	NAND_ALE	IO	NAND 地址锁存输出
B4	NAND_CEN0	IO	NAND 片选输出 0
B5	NAND_CEN1	IO	NAND 片选输出 1
D6	NAND_CEN2	IO	NAND 片选输出 2
F8	NAND_CEN3	IO	NAND 片选输出 3
A4	NAND_CLE	IO	NAND 命令锁存输出
B6	NAND_D0	IO	NAND 命令/地址/数据线 0
D7	NAND_D1	IO	NAND 命令/地址/数据线 1
F9	NAND_D2	IO	NAND 命令/地址/数据线 2
E8	NAND_D3	IO	NAND 命令/地址/数据线 3
C6	NAND_D4	IO	NAND 命令/地址/数据线 4
A5	NAND_D5	IO	NAND 命令/地址/数据线 5
A6	NAND_D6	IO	NAND 命令/地址/数据线 6
E9	NAND_D7	IO	NAND 命令/地址/数据线 7
E7	NAND_RDN	IO	NAND 读信号输出
D5	NAND_RDYN0	IO	NAND 准备好输入 0
B3	NAND_RDYN1	IO	NAND 准备好输入 1
A3	NAND_RDYN2	IO	NAND 准备好输入 2
C4	NAND_RDYN3	IO	NAND 准备好输入 3
A2	NAND_WRN	IO	NAND 写信号输出
Y22	PWM0	IO	PWM 脉冲输出 0
AA23	PWM1	IO	PWM 脉冲输出 1
AB25	PWM2	IO	PWM 脉冲输出 2
AC26	PWM3	IO	PWM 脉冲输出 3
Y20	PWM4	IO	PWM 脉冲输出 4



引脚号	引脚名称	类别	功能
AB19	PWM5	IO	PWM 脉冲输出 5
F2	SDIO_CLK	IO	SDIO 时钟输出
G3	SDIO_CMD	IO	SDIO 命令输入输出
F3	SDIO_DATA0	IO	SDIO 数据信号 0
H5	SDIO_DATA1	IO	SDIO 数据信号 1
H4	SDIO_DATA2	IO	SDIO 数据信号 2
E1	SDIO_DATA3	IO	SDIO 数据信号 3
H6	SPI0_CSN0	O	SPI0 片选输出 0
D1	SPI0_CSN1	O	SPI0 片选输出 1
E2	SPI0_CSN2/WPN	IO	SPI0 片选输出 2/写保护输出
F4	SPI0_CSN3/HOLDN	IO	SPI0 片选输出 3/地址保持输出
F5	SPI0_SCK	O	SPI0 总线时钟输出
G6	SPI0_SDI	IO	SPI0 总线数据输入
G5	SPI0_SDO	IO	SPI0 总线数据输出
AD22	SPI1_CSN0	O	SPI1 片选输出 0
AB21	SPI1_CSN1	O	SPI1 片选输出 1
AD24	SPI1_SCK	O	SPI1 总线时钟输出
AC22	SPI1_SDI	IO	SPI1 总线数据输入
AB22	SPI1_SDO	IO	SPI1 总线数据输出
AA21	SPI2_CSN0	O	SPI2 片选输出 0
AD21	SPI2_CSN1	O	SPI2 片选输出 1
AD23	SPI2_SCK	O	SPI2 总线时钟输出
AC21	SPI2_SDI	IO	SPI2 总线数据输入
AC23	SPI2_SDO	IO	SPI2 总线数据输出
Y18	SPI3_CSN0	O	SPI3 片选输出 0
AA19	SPI3_CSN1	O	SPI3 片选输出 1
AC20	SPI3_CSN2/WPN	IO	SPI3 片选输出 2/写保护输出
AF25	SPI3_CSN3/HOLDN	IO	SPI3 片选输出 3/地址保持输出
AE25	SPI3_SCK	O	SPI3 总线时钟输出
AA20	SPI3_SDI	IO	SPI3 总线数据输入
AE26	SPI3_SDO	IO	SPI3 总线数据输出
C3	CHIP_CONFIG00	I	芯片配置输入 00, SYS_CLKSEL0
B2	CHIP_CONFIG01	I	芯片配置输入 01, SYS_CLKSEL1
G7	CHIP_CONFIG02	I	芯片配置输入 02, SYS_BOOTSEL0
E5	CHIP_CONFIG03	I	芯片配置输入 03, SYS_BOOTSEL1
D3	CHIP_CONFIG04	I	芯片配置输入 04, SYS_NANDTYPE0
E4	CHIP_CONFIG05	I	芯片配置输入 05, SYS_NANDTYPE1
D2	CHIP_CONFIG06	I	芯片配置输入 06, PHY 内部参考时钟选择输入 0: SYS_SYSCLK 1: PCIE0_REFCLKIN_N/P
E3	CHIP_CONFIG07	I	必须为 0



引脚号	引脚名称	类别	功能
B1	CHIP_CONFIG08	I	芯片配置输入 08, PCIe1 模式选择输入, 0=EP mode, 1=RC mode
C1	CHIP_CONFIG09	I	芯片配置输入 09, SYS_NANDSRD
B8	NODE_GPIO30	IO	NODE 通用输入输出 30
C7	NODE_GPIO31	IO	NODE 通用输入输出 31
B23	RTC_XI	IO	32.768KHz 晶体输入
A23	RTC_X0	IO	32.768KHz 晶体输出
C2	SYS_CLKMODE	I	PLL 时钟输入选择, 0=SYS_SYSCLK, 1=PCIE0_REFCLKIN_N/P
B26	SYS_DOTESTN	I	测试/功能模式选择输入, 0=test mode, 1=function mode
F6	SYS_SYSCLK	I	100MHz 参考时钟输入
C25	SYS_SYSRSTN	I	系统复位输入
D4	SYS_TESTCLK	I	100MHz 测试时钟输入
Y24	UART0_CTS	I	UART 设备接受数据就绪
AB26	UART0_DCD	I	UART 外部 MODEM 检测到载波信号
V21	UART0_DSR	I	UART 设备初始化完成
AA25	UART0_DTR	O	UART 串口初始化完成
Y25	UART0_RI	IO	UART 外部 MODEM 检测到振铃信号
AA26	UART0_RTS	O	UART 串口数据传输请求
V23	UART0_RXD	I	UART 串口数据输入
W23	UART0_TXD	O	UART 串口数据输出
D26	UART1_CTS	I	UART1 设备接受数据就绪
H22	UART1_DCD	I	UART1 外部 MODEM 检测到载波信号
H23	UART1_DSR	I	UART1 设备初始化完成
C26	UART1_DTR	O	UART1 串口初始化完成
B25	UART1_RI	IO	UART1 外部 MODEM 检测到振铃信号
G22	UART1_RTS	O	UART1 串口数据传输请求
H21	UART1_RXD	I	UART1 串口数据输入
F24	UART1_TXD	O	UART1 串口数据输出
D22	UART2_CTS	I	UART2 设备接受数据就绪
D24	UART2_DCD	I	UART2 外部 MODEM 检测到载波信号
C24	UART2_DSR	I	UART2 设备初始化完成
E22	UART2_DTR	O	UART2 串口初始化完成
F21	UART2_RI	IO	UART2 外部 MODEM 检测到振铃信号
D23	UART2_RTS	O	UART2 串口数据传输请求
E23	UART2_RXD	I	UART2 串口数据输入
F23	UART2_TXD	O	UART2 串口数据输出
E13	PCIe_REFCLKOUT_N0	DIFF OUT	PCIe0 差分 100MHz 参考时钟负端输出 0
F13	PCIe_REFCLKOUT_N1	DIFF OUT	PCIe0 差分 100MHz 参考时钟负端输出 1
D12	PCIe_REFCLKOUT_N2	DIFF OUT	PCIe0 差分 100MHz 参考时钟负端输出 2



引脚号	引脚名称	类别	功能
A12	PCIE0_REFCLKOUT_N3	DIFF OUT	PCIE0 差分 100MHz 参考时钟负端输出 3
B11	PCIE0_REFCLKOUT_N4	DIFF OUT	PCIE0 差分 100MHz 参考时钟负端输出 4
C11	PCIE0_REFCLKOUT_N5	DIFF OUT	PCIE0 差分 100MHz 参考时钟负端输出 5
D13	PCIE0_REFCLKOUT_P0	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 0
F14	PCIE0_REFCLKOUT_P1	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 1
E12	PCIE0_REFCLKOUT_P2	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 2
B12	PCIE0_REFCLKOUT_P3	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 3
A11	PCIE0_REFCLKOUT_P4	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 4
D11	PCIE0_REFCLKOUT_P5	DIFF OUT	PCIE0 差分 100MHz 参考时钟正端输出 5
E15	PCIE0_REFCLKIN_N	DIFF IN	系统参考 100MHz 差分时钟负端输入
D15	PCIE0_REFCLKIN_P	DIFF IN	系统参考 100MHz 差分时钟正端输入
A7	PCIE0_RSTN	0	PCIE0 复位输出
D14	PCIE0_RXN0	DIFF IN	PCIE0 差分数据负端输入 0
A14	PCIE0_RXN1	DIFF IN	PCIE0 差分数据负端输入 1
D16	PCIE0_RXN2	DIFF IN	PCIE0 差分数据负端输入 2
A17	PCIE0_RXN3	DIFF IN	PCIE0 差分数据负端输入 3
E14	PCIE0_RXP0	DIFF IN	PCIE0 差分数据正端输入 0
B14	PCIE0_RXP1	DIFF IN	PCIE0 差分数据正端输入 1
E16	PCIE0_RXP2	DIFF IN	PCIE0 差分数据正端输入 2
B17	PCIE0_RXP3	DIFF IN	PCIE0 差分数据正端输入 3
B13	PCIE0_TXN0	DIFF OUT	PCIE0 差分数据负端输出 0
B15	PCIE0_TXN1	DIFF OUT	PCIE0 差分数据负端输出 1
A16	PCIE0_TXN2	DIFF OUT	PCIE0 差分数据负端输出 2
F17	PCIE0_TXN3	DIFF OUT	PCIE0 差分数据负端输出 3
A13	PCIE0_TXP0	DIFF OUT	PCIE0 差分数据正端输出 0
A15	PCIE0_TXP1	DIFF OUT	PCIE0 差分数据正端输出 1
B16	PCIE0_TXP2	DIFF OUT	PCIE0 差分数据正端输出 2
F16	PCIE0_TXP3	DIFF OUT	PCIE0 差分数据正端输出 3
F19	PCIE1_REFCLKIN_N	DIFF IN	PCIE1 参考 100MHz 差分时钟负端输入
F18	PCIE1_REFCLKIN_P	DIFF IN	PCIE1 参考 100MHz 差分时钟正端输入
G18	PCIE1_REFRES	I	PCIE1 外部参考电阻，DIE 内部已做端接处理，PCB 悬空
A8	PCIE1_RSTN	IO	PCIE1 复位输出
B18	PCIE1_RXN0	DIFF IN	PCIE1 差分数据负端输入 0
E18	PCIE1_RXN1	DIFF IN	PCIE1 差分数据负端输入 1
E19	PCIE1_RXN2	DIFF IN	PCIE1 差分数据负端输入 2
B21	PCIE1_RXN3	DIFF IN	PCIE1 差分数据负端输入 3
A18	PCIE1_RXP0	DIFF IN	PCIE1 差分数据正端输入 0
D18	PCIE1_RXP1	DIFF IN	PCIE1 差分数据正端输入 1
D19	PCIE1_RXP2	DIFF IN	PCIE1 差分数据正端输入 2



引脚号	引脚名称	类别	功能
A21	PCIe1_RXP3	DIFF IN	PCIe1 差分数据正端输入 3
E17	PCIe1_TXN0	DIFF OUT	PCIe1 差分数据负端输出 0
B19	PCIe1_TXN1	DIFF OUT	PCIe1 差分数据负端输出 1
A20	PCIe1_TXN2	DIFF OUT	PCIe1 差分数据负端输出 2
B22	PCIe1_TXN3	DIFF OUT	PCIe1 差分数据负端输出 3
D17	PCIe1_TXP0	DIFF OUT	PCIe1 差分数据正端输出 0
A19	PCIe1_TXP1	DIFF OUT	PCIe1 差分数据正端输出 1
B20	PCIe1_TXP2	DIFF OUT	PCIe1 差分数据正端输出 2
A22	PCIe1_TXP3	DIFF OUT	PCIe1 差分数据正端输出 3
F10	SATA_LEDN	OD	SATA 工作状态输出
E10	SATA_REFCLKIN_N	DIFF IN	差分参考时钟 25MHz 负端输入
D10	SATA_REFCLKIN_P	DIFF IN	差分参考时钟 25MHz 正端输入
B10	SATA_RXN	DIFF IN	SATA 差分数据负端输入
A10	SATA_RXP	DIFF IN	SATA 差分数据正端输入
A9	SATA_TXN	DIFF OUT	SATA 差分数据负端输出
B9	SATA_TXP	DIFF OUT	SATA 差分数据正端输出
T25	USB2P0_DM	DIFF IO	USB2 P0 差分数据 D-
T26	USB2P0_DP	DIFF IO	USB2 P0 差分数据 D+
R24	USB2P0_ID	I	USB2 P0 OTG ID 输入
G24	USB2P0_OC	O	OTG DRIVE VBUS 输出
T24	USB2P0_REFRES	I	USB2 P0 外部参考电阻输入, 通过 3Kohm/1% 电阻连至地 (PCB 连接到 BGA, PCB 须改阻值)
R23	USB2P0_VBUS	I	USB2 P0 OTG VBUS 输入
U25	USB2P1_DM	DIFF IO	USB2 P1 差分数据 D-
U26	USB2P1_DP	DIFF IO	USB2 P1 差分数据 D+
G25	USB2P1_OC	I	USB2 P1 过流检测输入
U24	USB2P1_REFRES	I	USB2 P1 外部参考电阻输入, 通过 3Kohm/1% 电阻连至地 (PCB 连接到 BGA, PCB 须改阻值)
T21	USB2P2_DM	DIFF IO	USB2 P2 差分数据 D-
T22	USB2P2_DP	DIFF IO	USB2 P2 差分数据 D+
F26	USB2P2_OC	I	USB2 P2 过流检测输入
V25	USB2P3_DM	DIFF IO	USB2 P3 差分数据 D-
V26	USB2P3_DP	DIFF IO	USB2 P3 差分数据 D+
G26	USB2P3_OC	I	USB2 P3 过流检测输入
E25	USB2P4_DM	DIFF IO	USB2 P4 差分数据 D-
E26	USB2P4_DP	DIFF IO	USB2 P4 差分数据 D+
G9	PLL_DDR_VDD1V0	Power	DDR PLL 电源
G8	PLL_DDR_VSS1V0	Ground	DDR PLL 地
K11	PLL_NODE_VDD1V0	Power	CORE PLL 电源
L11	PLL_NODE_VSS1V0	Ground	CORE PLL 地



引脚号	引脚名称	类别	功能
G11	PLL_SATA_VDD1V0	Power	SATA PLL 电源
G10	PLL_SATA_VSS1V0	Ground	SATA PLL 地
AA5	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AA6	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AB4	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AB5	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AC3	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AC4	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AD2	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AD3	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AE2	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
Y6	DDR_VDDE	Power	1.5V DDR 通道 I0 电源
AB16	IO_3V3	Power	3.3V 芯片 I0 电源
AB20	IO_3V3	Power	3.3V 芯片 I0 电源
D8	IO_3V3	Power	3.3V 芯片 I0 电源
E6	IO_3V3	Power	3.3V 芯片 I0 电源
E24	IO_3V3	Power	3.3V 芯片 I0 电源
F22	IO_3V3	Power	3.3V 芯片 I0 电源
F25	IO_3V3	Power	3.3V 芯片 I0 电源
H7	IO_3V3	Power	3.3V 芯片 I0 电源
H9	IO_3V3	Power	3.3V 芯片 I0 电源
J8	IO_3V3	Power	3.3V 芯片 I0 电源
L10	IO_3V3	Power	3.3V 芯片 I0 电源
L20	IO_3V3	Power	3.3V 芯片 I0 电源
N10	IO_3V3	Power	3.3V 芯片 I0 电源
N22	IO_3V3	Power	3.3V 芯片 I0 电源
P20	IO_3V3	Power	3.3V 芯片 I0 电源
R10	IO_3V3	Power	3.3V 芯片 I0 电源
U10	IO_3V3	Power	3.3V 芯片 I0 电源
U12	IO_3V3	Power	3.3V 芯片 I0 电源
U14	IO_3V3	Power	3.3V 芯片 I0 电源
U16	IO_3V3	Power	3.3V 芯片 I0 电源
V22	IO_3V3	Power	3.3V 芯片 I0 电源
W20	IO_3V3	Power	3.3V 芯片 I0 电源
Y15	IO_3V3	Power	3.3V 芯片 I0 电源
Y19	IO_3V3	Power	3.3V 芯片 I0 电源
C10	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源
C18	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源
C21	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源
F12	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源
G15	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源
G17	PSU_1V0	Power	1.0V PCIe、SATA 和 USB 核心电源



引脚号	引脚名称	类别	功能
V7	PSU_1V5	Power	1.8V SATA 和 USB 高压电源
V8	PSU_1V5	Power	1.8V SATA 和 USB 高压电源
W9	PSU_1V5	Power	1.8V SATA 和 USB 高压电源
Y9	PSU_1V5	Power	1.8V SATA 和 USB 高压电源
R20	USB_A3V3	Power	3.3V USB 模拟电源
T17	USB_A3V3	Power	3.3V USB 模拟电源
U20	USB_A3V3	Power	3.3V USB 模拟电源
H25	VDD_1V0	Power	1.0V 芯片核心电源
H26	VDD_1V0	Power	1.0V 芯片核心电源
J19	VDD_1V0	Power	1.0V 芯片核心电源
J20	VDD_1V0	Power	1.0V 芯片核心电源
J23	VDD_1V0	Power	1.0V 芯片核心电源
J24	VDD_1V0	Power	1.0V 芯片核心电源
K14	VDD_1V0	Power	1.0V 芯片核心电源
K16	VDD_1V0	Power	1.0V 芯片核心电源
K21	VDD_1V0	Power	1.0V 芯片核心电源
K22	VDD_1V0	Power	1.0V 芯片核心电源
L14	VDD_1V0	Power	1.0V 芯片核心电源
L16	VDD_1V0	Power	1.0V 芯片核心电源
M11	VDD_1V0	Power	1.0V 芯片核心电源
M13	VDD_1V0	Power	1.0V 芯片核心电源
M15	VDD_1V0	Power	1.0V 芯片核心电源
M17	VDD_1V0	Power	1.0V 芯片核心电源
N11	VDD_1V0	Power	1.0V 芯片核心电源
N13	VDD_1V0	Power	1.0V 芯片核心电源
N15	VDD_1V0	Power	1.0V 芯片核心电源
N17	VDD_1V0	Power	1.0V 芯片核心电源
P12	VDD_1V0	Power	1.0V 芯片核心电源
P14	VDD_1V0	Power	1.0V 芯片核心电源
P16	VDD_1V0	Power	1.0V 芯片核心电源
R12	VDD_1V0	Power	1.0V 芯片核心电源
R14	VDD_1V0	Power	1.0V 芯片核心电源
R16	VDD_1V0	Power	1.0V 芯片核心电源
T11	VDD_1V0	Power	1.0V 芯片核心电源
T13	VDD_1V0	Power	1.0V 芯片核心电源
T15	VDD_1V0	Power	1.0V 芯片核心电源
A1	VSS	Ground	芯片地
A26	VSS	Ground	芯片地
AA8	VSS	Ground	芯片地
AB10	VSS	Ground	芯片地
AB13	VSS	Ground	芯片地
AB18	VSS	Ground	芯片地



引脚号	引脚名称	类别	功能
AC11	VSS	Ground	芯片地
AC14	VSS	Ground	芯片地
AF1	VSS	Ground	芯片地
AF26	VSS	Ground	芯片地
C9	VSS	Ground	芯片地
C13	VSS	Ground	芯片地
C15	VSS	Ground	芯片地
C17	VSS	Ground	芯片地
C19	VSS	Ground	芯片地
C20	VSS	Ground	芯片地
C22	VSS	Ground	芯片地
C23	VSS	Ground	芯片地
D20	VSS	Ground	芯片地
D25	VSS	Ground	芯片地
E11	VSS	Ground	芯片地
E21	VSS	Ground	芯片地
F7	VSS	Ground	芯片地
F20	VSS	Ground	芯片地
G4	VSS	Ground	芯片地
G14	VSS	Ground	芯片地
G16	VSS	Ground	芯片地
G23	VSS	Ground	芯片地
H8	VSS	Ground	芯片地
H19	VSS	Ground	芯片地
H20	VSS	Ground	芯片地
H24	VSS	Ground	芯片地
J21	VSS	Ground	芯片地
J22	VSS	Ground	芯片地
J25	VSS	Ground	芯片地
J26	VSS	Ground	芯片地
K5	VSS	Ground	芯片地
K10	VSS	Ground	芯片地
K13	VSS	Ground	芯片地
K15	VSS	Ground	芯片地
K20	VSS	Ground	芯片地
K23	VSS	Ground	芯片地
L13	VSS	Ground	芯片地
L15	VSS	Ground	芯片地
L17	VSS	Ground	芯片地
M5	VSS	Ground	芯片地
M10	VSS	Ground	芯片地
M12	VSS	Ground	芯片地



引脚号	引脚名称	类别	功能
M14	VSS	Ground	芯片地
M16	VSS	Ground	芯片地
M20	VSS	Ground	芯片地
N7	VSS	Ground	芯片地
N12	VSS	Ground	芯片地
N14	VSS	Ground	芯片地
N16	VSS	Ground	芯片地
P5	VSS	Ground	芯片地
P10	VSS	Ground	芯片地
P11	VSS	Ground	芯片地
P13	VSS	Ground	芯片地
P15	VSS	Ground	芯片地
P17	VSS	Ground	芯片地
P22	VSS	Ground	芯片地
R7	VSS	Ground	芯片地
R11	VSS	Ground	芯片地
R13	VSS	Ground	芯片地
R15	VSS	Ground	芯片地
R17	VSS	Ground	芯片地
T3	VSS	Ground	芯片地
T10	VSS	Ground	芯片地
T12	VSS	Ground	芯片地
T14	VSS	Ground	芯片地
T16	VSS	Ground	芯片地
T23	VSS	Ground	芯片地
U7	VSS	Ground	芯片地
U11	VSS	Ground	芯片地
U13	VSS	Ground	芯片地
U15	VSS	Ground	芯片地
U17	VSS	Ground	芯片地
V5	VSS	Ground	芯片地
V19	VSS	Ground	芯片地
W8	VSS	Ground	芯片地
W18	VSS	Ground	芯片地
W19	VSS	Ground	芯片地
Y3	VSS	Ground	芯片地
Y7	VSS	Ground	芯片地
Y12	VSS	Ground	芯片地
Y17	VSS	Ground	芯片地
Y21	VSS	Ground	芯片地
A24	NC_A24		NC, 可悬空或焊接
A25	NC_A25		NC, 可悬空或焊接



引脚号	引脚名称	类别	功能
AA1	NC_AA01		NC, 可悬空或焊接
AA2	NC_AA02		NC, 可悬空或焊接
AB1	NC_AB01		NC, 可悬空或焊接
AB2	NC_AB02		NC, 可悬空或焊接
AB7	NC_AB07		NC, 可悬空或焊接
AC6	NC_AC06		NC, 可悬空或焊接
AD5	NC_AD05		NC, 可悬空或焊接
AE9	NC_AE09		NC, 可悬空或焊接
AE10	NC_AE10		NC, 可悬空或焊接
AF4	NC_AF04		NC, 可悬空或焊接
AF9	NC_AF09		NC, 可悬空或焊接
AF10	NC_AF10		NC, 可悬空或焊接
F11	NC_F11		NC, 可悬空或焊接
F15	NC_F15		NC, 可悬空或焊接
G20	NC_G20		NC, 可悬空或焊接
G21	NC_G21		NC, 可悬空或焊接
R21	NC_R21		NC, 可悬空或焊接
R22	NC_R22		NC, 可悬空或焊接
U2	NC_U02		NC, 可悬空或焊接
U5	NC_U05		NC, 可悬空或焊接
U22	NC_U22		NC, 可悬空或焊接
U23	NC_U23		NC, 可悬空或焊接
B24	NP_B24		NC, 可悬空或焊接
C12	NP_C12		NC, 可悬空或焊接
C14	NP_C14		NC, 可悬空或焊接
C16	NP_C16		NC, 可悬空或焊接
D21	NP_D21		NC, 可悬空或焊接
E20	NP_E20		NC, 可悬空或焊接
G12	NP_G12		NC, 可悬空或焊接
G13	NP_G13		NC, 可悬空或焊接
G19	NP_G19		NC, 可悬空或焊接
H18	NP_H18		NC, 可悬空或焊接
J7	NP_J07		NC, 可悬空或焊接
K12	NP_K12		NC, 可悬空或焊接
K17	NP_K17		NC, 可悬空或焊接
L7	NP_L07		NC, 可悬空或焊接
L12	NP_L12		NC, 可悬空或焊接
W7	NP_W07		NC, 可悬空或焊接
Y8	NP_Y08		NC, 可悬空或焊接
Y14	NP_Y14		NC, 可悬空或焊接



修订记录

版本号	更新内容
V1.0	初版发布。
V1.1	1.3 节修改-i 低压版工作电压； 2.11 节修改 CAN 和 GPIO 复用信号名错误； 2.19 节增加 RTC 外接晶振推荐参考配置； 2.20 节修改 SOC 域核心电压值； 6.2 节修改 SOC 域低压值和对应电流； 6.6.1 节修改 SOC 域低压值和对应电源域功耗； 6.6.2 节修改低压工作条件下全芯片功耗； 6.7 节增加 ACPI_SYSRSTn 解复位时刻说明； 7.1 节增加 B 版封装尺寸信息； 7.1 节增加芯片扣合力参数； 第 8 章删除低压版标识，增加等级标识说明。
V1.2	2.20 节完善 DDR_VDDE 电压值； 7.1 节修改 B 版封装尺寸信息。

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826