

LOONGSON

龙芯 3B6000 处理器 数据手册

V1.0

2026 年 07 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

阅读指南

《龙芯 3B6000 处理器数据手册》主要介绍龙芯 3B6000 处理器接口结构，特性，电气规范，以及硬件设计指导。

目 录

目 录.....	I
图目录.....	III
表目录.....	IV
1. 简介.....	1
1.1 技术指标.....	1
1.2 芯片内部框图.....	2
1.3 芯片封装.....	2
1.4 典型应用.....	3
1.5 订购信息.....	3
1.6 术语.....	4
1.7 设计相关文档、工具、软件.....	4
1.7.1 设计相关文档.....	4
1.7.2 工具软件.....	4
1.7.3 固件及系统支持.....	5
1.8 文档约定.....	5
1.8.1 引脚信号命名.....	5
1.8.2 数值表示.....	5
1.8.3 寄存器域.....	5
2. 接口信号.....	6
2.1 接口信号图.....	7
2.2 信号类型定义.....	8
2.3 接口信号说明.....	8
2.3.1 PCIE 信号.....	8
2.3.2 DDR 接口信号.....	11
2.3.3 初始化配置信号.....	17
2.3.4 低速接口信号.....	18
2.3.5 中断信号.....	19
2.3.6 JTAG 接口信号.....	20
2.3.7 时钟信号.....	20
2.3.8 GPIO 信号.....	21
2.3.9 测试控制信号.....	22
2.3.10 电源地引脚.....	22
2.4 引脚复用关系.....	22
3. 功能及接口说明.....	23
3.1 PCIE 接口.....	23
3.1.1 接口特性.....	23
3.1.2 模式配置.....	23
3.2 DDR 接口.....	24
3.2.1 内存控制器功能概述.....	24
3.2.2 初始化操作.....	25
3.2.3 复位引脚的控制.....	25

4. 芯片启动及初始化.....	28
4.1 引导启动说明.....	28
4.2 上电配置说明.....	28
4.3 复位操作.....	28
5. 时钟.....	30
5.1 时钟内部关系.....	30
5.2 时钟需求.....	30
5.2.1 单端时钟输入要求.....	31
5.2.2 差分时钟输入要求.....	31
5.2.3 差分时钟输出.....	32
5.3 频率配置.....	32
6. 电源管理.....	33
6.1 电源域.....	33
7. 热设计.....	34
7.1 热参数.....	34
7.2 TDP 信息.....	34
7.3 焊接温度及焊接曲线.....	35
8. 仿真模型.....	36
9. 电气特性.....	37
9.1 极限工作条件.....	37
9.2 典型工作条件.....	38
9.3 电源时序.....	38
9.4 接口电气特性.....	38
9.4.1 PCIE 接口.....	38
9.4.2 DDR 接口.....	39
10. 封装信息.....	40
10.1 封装尺寸.....	40
10.2 信号位置分布.....	41
11. 产品标识.....	42
11.1 通用标识.....	42
11.2 3B6000 芯片（示例）.....	42
12. Layout 及原理图 Checklist.....	43
12.1 Layout 设计说明.....	43
12.2 原理图 Checklist.....	43
13. 其他.....	44
附录一：芯片引脚排布图.....	45
附录二：芯片引脚内部延迟数据.....	54
修订记录.....	66

图目录

图 1.1	处理器结构示意图.....	2
图 1.2	单处理器系统连接.....	3
图 2.1	处理器接口信号框图.....	7
图 7.1	焊接回流曲线.....	35

表目录

表 1.1	芯片分级.....	3
表 1.2	术语和缩略语表.....	4
表 2.1	信号类型定义.....	8
表 2.2	PCIE 接口信号.....	8
表 2.3	DDR4 接口信号.....	11
表 2.4	初始化接口信号.....	17
表 2.5	SPI 接口信号.....	18
表 2.6	UART 接口信号.....	19
表 2.7	I2C 接口信号.....	19
表 2.8	AVS 接口信号.....	19
表 2.9	引脚中断信号描述.....	19
表 2.10	JTAG 接口信号.....	20
表 2.11	时钟及配置信号.....	20
表 2.12	GPIO 信号.....	21
表 2.13	JTAG 接口信号.....	22
表 2.14	电源引脚.....	22
表 3.1	PCIE 拆分模式.....	23
表 3.2	单路 PCIE Group0 工作模式.....	24
表 4.1	上电配置引脚.....	28
表 5.1	处理器内部时钟说明.....	30
表 5.2	参考时钟输入.....	31
表 7.1	芯片热阻参数.....	34
表 7.2	芯片热特性参数.....	34
表 7.3	回流焊接温度分类表.....	35
表 9.1	绝对最大额定值.....	37
表 9.2	芯片温度限额.....	37
表 9.3	推荐的工作电源电压.....	38

1. 简介

龙芯处理器主要包括三个系列。龙芯 1 号系列处理器采用 32 位处理器核，集成各种外围接口，形成面向特定应用的单片解决方案，主要应用于物联终端、仪器设备、数据采集等领域。龙芯 2 号系列处理器采用 32 位或 64 位处理器核，集成各种外围接口，形成面向网络设备、行业终端、智能制造等的高性能低功耗 SoC 芯片。龙芯 3 号系列处理器片内集成多个 64 位处理器核以及必要的存储和 I/O 接口，面向高端嵌入式计算机、桌面、服务器等应用。

龙芯 3B6000 主要为 8-12 核处理器，封装为 FCBGA-1371，工作主频为 2.0GHz，主要面向高端桌面领域，针对部分应用领域提供 16 核处理器。

1.1 技术指标

主频	2.0GHz
浮点双精度 峰值运算速度	384GFlops@2.0GHz（8 核） 576GFlops@2.0GHz（12 核） 768GFlops@2.0GHz（16 核）
浮点单精度 峰值运算速度	768GFlops@2.0GHz（8 核） 1152GFlops@2.0GHz（12 核） 1536GFlops@2.0GHz（16 核）
物理核个数	8-16
逻辑核个数	16-32
处理器核	64 位超标量处理器核 LA664 支持 LoongArch [®] 指令集 支持 128/256 位向量指令 六发射乱序执行 4 个定点单元、4 个向量单元和 4 个访存单元
高速缓存	每个核包含 64KB 私有一级指令缓存和 64KB 私有一级数据缓存 每个核包含 256KB 私有二级缓存 共 32MB 三级缓存
内存接口	2 个 72 位 DDR4-3200 支持 ECC 校验
高速 I/O	2 个 PCIe x16 接口，共 32 Lane，4 控制器复用；
其它 I/O	1 个 SPI、1 个 UART、3 个 I2C、1 个 AVS、16 个 GPIO 接口
封装方式	FCBGA1371
功耗管理	支持主要模块时钟动态关闭 支持主要时钟域动态变频 支持主电压域动态调压

1.2 芯片内部框图

龙芯 3B6000 基于 3C6000 硅片进行封装设计，其结构如下图所示。其内部为两级互连结构，一级网络上连接 16 个处理器核和 16 个共享高速缓存块，以及其它各种 IO 接口和内部模块；二级网络上连接 16 个共享高速缓存块、4 个内存控制器，以及 4 个 LCL 控制器。具体到龙芯 3B6000，根据版本不同，选择使用了其中 8-16 个核、2 个内存控制器以及 2 个 PCIE 控制器，全部 LCL 控制器则都没有使用。

图中 C 表示 16 个 LA664 处理器核，每个处理器核支持两个线程。SC 表示 16 个共享高速缓存，每个容量为 2MB。MC 为 4 个内存控制器。L1v NoC 和 L2v NoC 分别是两级互连网络。MISC 为配置寄存器和低速 IO 接口模块。SE 为安全可信模块。PCIE 0 表示 1 组专用的 IO 高速接口，可供连接桥片使用。LCL 0 表示 1 组专用的互连高速接口，用于硅片间一致性互连，对于龙芯 3B6000，该接口不可见。PCIE/LCL 表示 3 组可切换的高速接口，可以分别用作 IO 和片间互连接口。

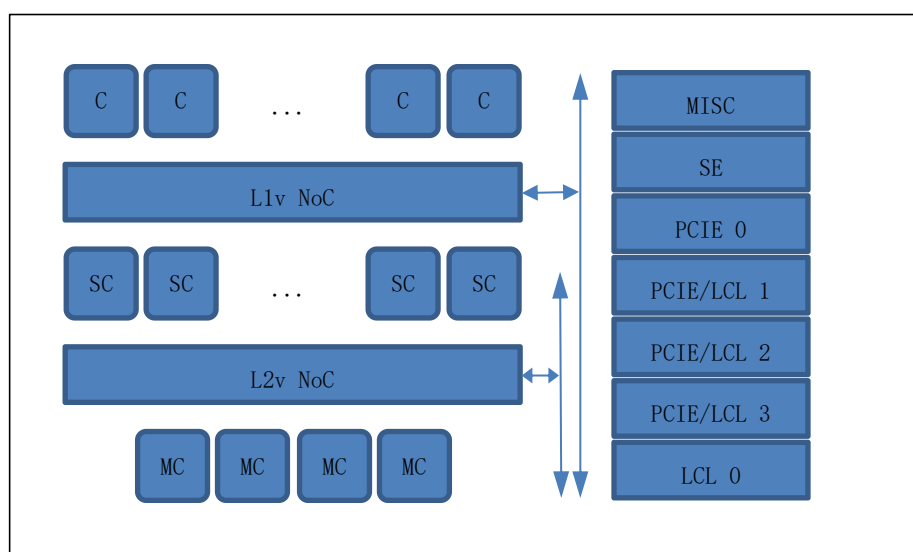


图 1.1 处理器结构示意图

1.3 芯片封装

采用 1371 引脚塑封 FCBGA 封装，芯片尺寸为 37.5mm*37.5mm。

1.4 典型应用

- (1) 龙芯 3B6000 单处理器系统。使用 PCIE0 接口用于 IO 桥片连接。一种常见的连接方式如图 1.2 所示：

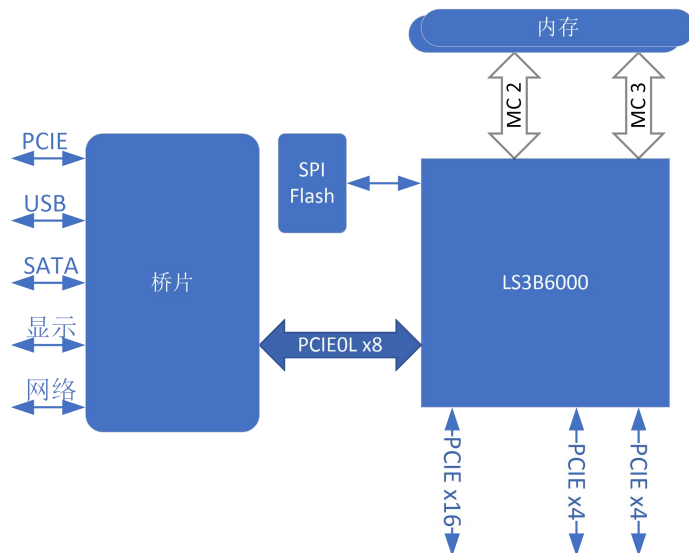


图 1.2 单处理器系统连接

1.5 订购信息

龙芯 3B6000 芯片如下表：

表 1.1 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3B6000	商业级	1.15V	±25mV	60W	0 - 70℃	8 核商业级版本 工作频率 2.0GHz
LS3B6000 (12)	商业级	1.15V	±25mV	70W	0 - 70℃	12 核商业级版本 工作频率 2.0GHz
LS3B6000 (16)	商业级	1.15V	±25mV	80W	0 - 70℃	16 核商业级版本 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为常温典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得平均功耗），受运行温度影响，处理器正常工作时很少超过该值。芯片运时功耗受负载的影响，待机或低负载工作功耗远低于典型值。

1.6 术语

表 1.2 术语和缩略语表

术语	描述	备注
DDR4	第四代双倍速率内存接口	
DIMM	双列直插式内存模块（内存条）	
ECC	检错纠错码	
GMAC	千兆以太网控制器	
GPIO	通用输入输出接口	
HDA	高清晰度音频接口	
I2C	集成电路间总线接口	
JTAG	标准测试调试接口	
LCL	Loongson Coherent Link, 龙链接口	
LoongArch	龙芯指令系统	
Loongnix	龙芯开源操作系统	
LRDIMM	低负载双列直插内存模块	
PCIe	快速外设组件互连	
PMON	开源固件，在部分龙芯处理器系统中使用	
ROM	只读存储器	
RDIMM	寄存式双列直插内存模块	
SODIMM	小型双列直插内存模块	
SPI	串行外设接口	
UDIMM	无缓冲双列直插内存模块	
UEFI	开源固件，在部分龙芯处理器系统中使用	
WDT	看门狗计时器	

1.7 设计相关文档、工具、软件

1.7.1 设计相关文档

龙芯 3B6000 参考手册如下述：

《龙芯 3B6000 处理器寄存器使用手册》

《龙芯 3B6000 处理器数据手册》

1.7.2 工具软件

龙架构（LoongArch）相关软件。

1.7.3 固件及系统支持

(1) 芯片所支持的固件:

PMON、UEFI

(2) 芯片所支持的操作系统:

Loongnix

其它商业操作系统的支持需要与具体厂商确认

1.8 文档约定

1.8.1 引脚信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.8.2 数值表示

16 进制数表示为'hxxx，2 进制数表示为'bxx，其它数字为 10 进制。功能相同但标号有别的引脚(如 DDR_DQ0, DDR_DQ1, ...)使用方括号加数字范围的形式简写(如 DDR_DQ[31:0])。类似地，寄存器域也采用这种表示方式。

1.8.3 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。

2. 接口信号

龙芯 3B6000 的管脚数为 1371，包含以下类别的信号：

-PCIE 总线接口信号
-DDR4 SDRAM 总线接口信号
-初始化信号
-低速 I/O 接口
-芯片引脚中断信号
-JTAG 信号
-测试和控制信号
-时钟信号
-电源引脚
-GPIO 信号
-SE 模块信号

2.1 接口信号图

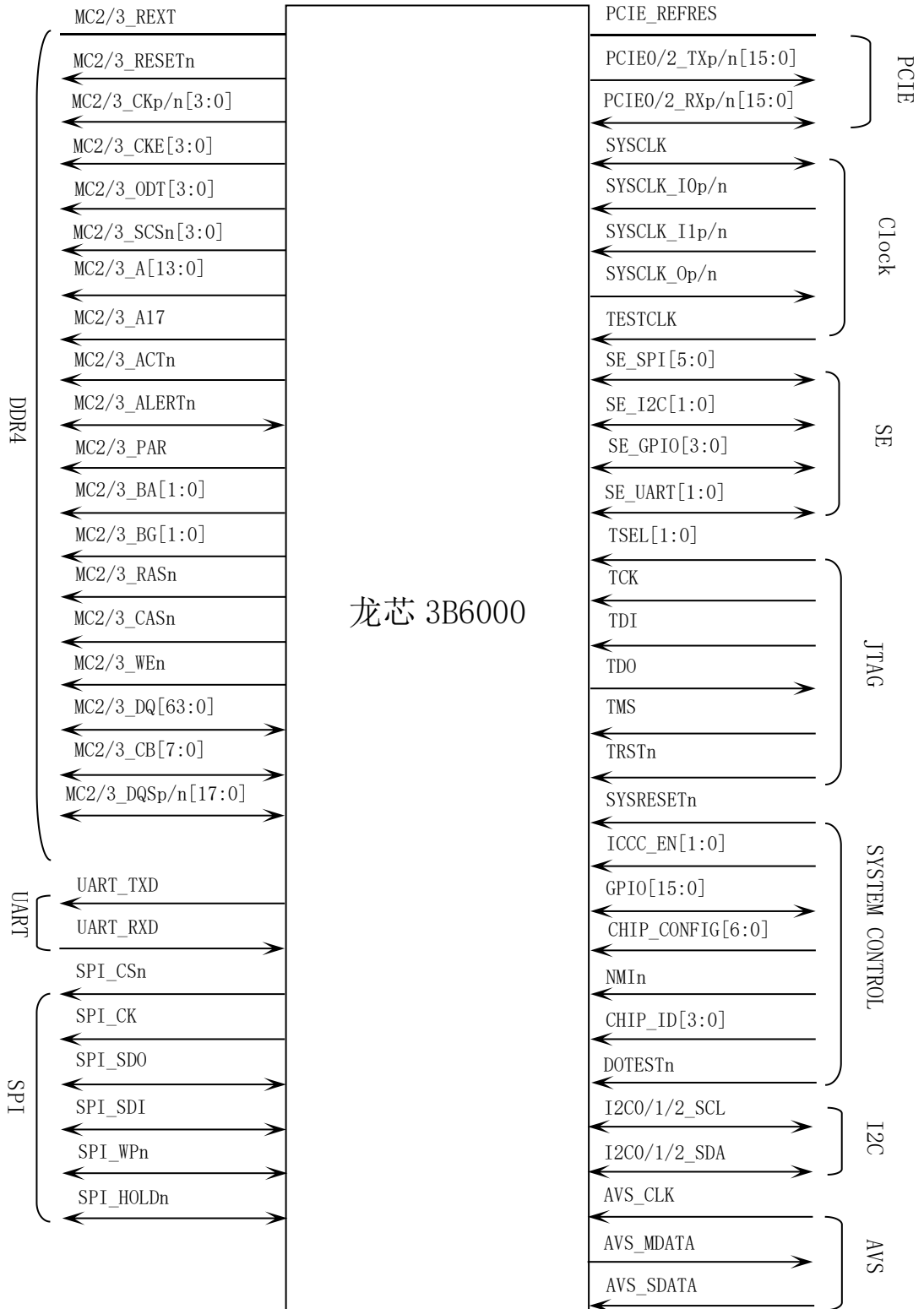


图 2.1 处理器接口信号框图

2.2 信号类型定义

本章信号类型定义如下表所示：

表 2.1 信号类型定义

输入输出类型	说明
I	输入
O	输出
I/O	输入输出
A	模拟

2.3 接口信号说明

2.3.1 PCIE 信号

龙芯 3B6000 中拥有 2 组 PCIE 接口，分别为 PCIE0 和 PCIE2。多组 PCIE 接口共用一个参考电阻连接。

每组 PCIE 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；

PCIE 接口不使用时可以悬空。

除了 PCIE 数据线之外，PCIE resetn 和 PCIE presentn 与 GPIO[9:0]复用，其对应关系由软件进行设置。

PCIE 可以根据应用场景的不同，拆分为多种不同的宽度使用，具体参考 3.1 节。

下表是龙芯 3B6000 处理器的 PCIE 接口信号定义。

表 2.2 PCIE 接口信号

PCIE0 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
PCIE0_Txp[15:0]	H15 F16 H17 F18 H19 F20 H21 F22 H23 F24 H25 F26	0	PCIE0 发送端数据信号	VDD_PCIE	-

	H27 F28 H29 F30				
PCIE0_TXn[15:0]	G15 E16 G17 E18 G19 E20 G21 E22 G23 E24 G25 E26 G27 E28 G29 E30	0	PCIE0 发送端数据信号	VDD_PCIE	-
PCIE0_RXp[15:0]	D15 B16 D17 B18 D19 B20 D21 B22 D23 B24 D25 B26 D27 B28 D29 B30	I	PCIE0 接收端数据信号	VDD_PCIE	-
PCIE0_RXn[15:0]	C15 A16 C17 A18 C19 A20 C21 A22 C23 A24 C25 A26 C27 A28 C29 A30	I	PCIE0 接收端数据信号	VDD_PCIE	-
PCIE2 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
PCIE2_TXp[15:0]	B32 C34 D32 E34 F32	0	PCIE2 发送端数据信号，可复用为 LCL2	VDD_PCIE	-

	G34 H32 J34 K32 L34 M32 N34 P32 R34 T32 U34				
PCIE2_TXn[15:0]	B33 C35 D33 E35 F33 G35 H33 J35 K33 L35 M33 N35 P33 R35 T33 U35	0	PCIE2 发送端数据信号，可复用为 LCL2	VDD_PCIE	-
PCIE2_RXp[15:0]	B37 C39 D37 E39 F37 G39 H37 J39 K37 L39 M37 N39 P37 R39 T37 U39	I	PCIE2 接收端数据信号，可复用为 LCL2	VDD_PCIE	-
PCIE2_RXn[15:0]	B36 C38 D36 E38 F36 G38 H36 J38 K36 L38 M36 N38 P36 R38 T36	I	PCIE2 接收端数据信号，可复用为 LCL2	VDD_PCIE	-

	U38				
公共信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
PCIE_REFRES	V37	A	PCIE 参考电阻	VDD_PCIE	-

2.3.2 DDR 接口信号

龙芯 3B6000 可用 2 组标准的 DDR4 SDRAM 内存控制器，分别为 MC2 和 MC3，可支持 UDIMM 和 RDIMM 等内存条。

每组内存接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 18 路双向数据选通差分信号（包括 ECC），包含 9 个数据掩码复用；
- 15 位地址总线信号；
- 2 位逻辑 bank 信号；
- 2 位逻辑 bank 组信号；
- 4 位物理片选信号；
- 4 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号；
- 1 位参考电阻引脚。

DDR 接口不使用时可以悬空。具体使用的内存接口可以由软件配置决定。

下表是龙芯 3B6000 的内存接口信号定义。

表 2.3 DDR4 接口信号

MC2 接口信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC2_DQ[63:0]	AA7	I/O	数据总线信号	VDDIO_DDR	-
	AA6				
	AD6				
	AD9				
	AA9				
	AA8				
	AC6				
	AD7				
	W2				
	W1				
	AB2				
	AB3				
	W3				
	W4				
	AA1				

	AB1 AF7 AF6 AJ6 AJ9 AF9 AF8 AH6 AJ7 AL6 AM9 AP8 AP6 AL8 AL7 AN5 AN6 AP32 AN32 AM34 AL34 AM32 AL31 AP34 AN34 AJ34 AH34 AF32 AF31 AJ31 AJ33 AF34 AF33 AC39 AB39 Y36 Y37 AC36 AC38 Y39 Y38 AD31 AC34 AA32 AA31 AD34 AD33 AA34 AA33				
MC2_CB[7:0]	AN10 AP10 AN13 AL13 AM10 AL10 AP12 AN12	I/O	数据总线 ECC 信号	VDDIO_DDR	-
MC2_DQSp[8:0]	AC8 AA4	I/O	数据选通（包括 ECC）	VDDIO_DDR	-

	AH8 AN7 AL33 AG32 AA38 AB32 AL12				
MC2_DQSn[17:0]	AC9 AA3 AH9 AN8 AL32 AG33 AA37 AB33 AL11 AB7 Y2 AG7 AM6 AP33 AH31 AB36 AC31 AP11	I/O	数据选通（包括 ECC）	VDDIO_DDR	-
MC2_DQSp[17:9]/ MC2_DM[8:0]	AB8 Y3 AG8 AM7 AN33 AH32 AB37 AC32 AN11	I/O	数据选通 DQSp9-17 或 数据屏蔽 DM0-8（包括 ECC）	VDDIO_DDR	-
MC2_A[13:0]	AN25 AM20 AP20 AL19 AN19 AP19 AL18 AN18 AM17 AP17 AN26 AN17 AL16 AL28	0	地址总线信号	VDDIO_DDR	-
MC2_A17	AN29	0	地址总线信号	VDDIO_DDR	-
MC2_BA[1:0]	AM25 AP25	0	逻辑 Bank 地址信号	VDDIO_DDR	-
MC2_BG[1:0]	AN15 AP16	0	逻辑 Bank 组地址信号	VDDIO_DDR	-
MC2_WEn	AL27	0	写使能信号，A14	VDDIO_DDR	-
MC2_CASn	AN27	0	列地址选择信号，A15	VDDIO_DDR	-
MC2_RASn	AL26	0	行地址选择信号，A16	VDDIO_DDR	-
MC2_SCSn[3:0]	AP27 AP29	0	片选信号	VDDIO_DDR	-

	AN30 AM30				
MC2_CKE[3:0]	AP14 AN14 AL15 AM14	0	时钟使能信号	VDDIO_DDR	-
MC2_CKp[3:0]	AM22 AN21 AP23 AL23	0	差分时钟输出信号 {1, 3}为一组 DIMM 时钟, {0, 2}为另一组 DIMM 时钟	VDDIO_DDR	-
MC2_CKn[3:0]	AM21 AP21 AN23 AL22	0	差分时钟输出信号 {1, 3}为一组 DIMM 时钟, {0, 2}为另一组 DIMM 时钟	VDDIO_DDR	-
MC2_ODT[3:0]	AP28 AP30 AM28 AM24	0	ODT 信号	VDDIO_DDR	-
MC2_Resetn	AN16	0	复位控制信号	VDDIO_DDR	-
MC2_ACTn	AP15	0	激活命令信号	VDDIO_DDR	-
MC2_PAR	AL24	0	命令与地址奇偶校验值	VDDIO_DDR	-
MC2_ALERTn	AM16	I/O	数据 CRC 错或命令奇偶校验错 标志	VDDIO_DDR	-
MC2_CID2	AM29	0	CHIP ID bit2, 保留	VDDIO_DDR	-
MC2_REXT	AL20	A	参考电阻	VDDIO_DDR	-
MC3 接口信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC3_DQ[63:0]	AD2 AD1 AG1 AG4 AD3 AD4 AF1 AG2 AJ2 AJ1 AM2 AM4 AJ3 AJ4 AL1 AM1 AP2 AP3 AU2 AV2 AP4 AP1 AU1 AR4 AV4 AW4 AT7 AW7 AU4 AT5	I/O	数据总线信号	VDDIO_DDR	-

	AW6 AV7 AV32 AW33 AU35 AT35 AW32 AT32 AW35 AV35 AU37 AV38 AR36 AR37 AW37 AV37 AR38 AR39 AN39 AM39 AK36 AK37 AN36 AN38 AK39 AK38 AH38 AG39 AE36 AE37 AH39 AH36 AE39 AE38				
MC3_CB[7:0]	AV9 AW9 AV12 AT12 AU9 AT9 AW11 AW12	I/O	数据总线 ECC 信号	VDDIO_DDR	-
MC3_DQSp[8:0]	AF3 AL3 AT2 AU6 AU34 AT38 AL37 AF37 AU11	I/O	数据选通（包括 ECC）	VDDIO_DDR	-
MC3_DQSn[17:0]	AF4 AL4 AT1 AT6 AV34 AT37 AL38 AF38	I/O	数据选通（包括 ECC）	VDDIO_DDR	-

	AT11 AE2 AK2 AR3 AV5 AT33 AU39 AM36 AG36 AV10				
MC3_DQSp[17:9]/ MC3_DM[8:0]	AE3 AK3 AR2 AU5 AU33 AU38 AM37 AG37 AU10	I/O	数据选通 DQSp9-17 或 数据屏蔽 DM0-8 (包括 ECC)	VDDIO_DDR	-
MC3_A[13:0]	AW25 AU20 AW20 AV19 AW19 AT19 AT18 AU17 AV18 AV17 AV26 AW17 AT16 AT28	0	地址总线信号	VDDIO_DDR	-
MC3_A17	AV29	0	地址总线信号	VDDIO_DDR	-
MC3_BA[1:0]	AU25 AV25	0	逻辑 Bank 地址信号	VDDIO_DDR	-
MC3_BG[1:0]	AW15 AU16	0	逻辑 Bank 组地址信号	VDDIO_DDR	-
MC3_WEn	AW27	0	写使能信号, A14	VDDIO_DDR	-
MC3_CASn	AV27	0	列地址选择信号, A15	VDDIO_DDR	-
MC3_RASn	AT26	0	行地址选择信号, A16	VDDIO_DDR	-
MC3_SCSn[3:0]	AT27 AW29 AV30 AT30	0	片选信号	VDDIO_DDR	-
MC3_CKE[3:0]	AV14 AW14 AT15 AU14	0	时钟使能信号	VDDIO_DDR	-
MC3_CKp[3:0]	AW21 AU21 AW23 AT23	0	差分时钟输出信号 {1, 3}为一组 DIMM 时钟, {0, 2}为另一组 DIMM 时钟	VDDIO_DDR	-
MC3_CKn[3:0]	AV21 AU22 AV23 AT22	0	差分时钟输出信号 {1, 3}为一组 DIMM 时钟, {0, 2}为另一组 DIMM 时钟	VDDIO_DDR	-
MC3_ODT[3:0]	AW28	0	ODT 信号	VDDIO_DDR	-

	AW30 AU28 AU24				
MC3_Resetn	AV16	0	复位控制信号	VDDIO_DDR	-
MC3_ACTn	AV15	0	激活命令信号	VDDIO_DDR	-
MC3_PAR	AT24	0	命令与地址奇偶校验值	VDDIO_DDR	-
MC3_ALERTn	AW16	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	-
MC3_CID2	AU29	0	CHIP ID bit2, 保留	VDDIO_DDR	-
MC3_REXT	AT20	A	参考电阻	VDDIO_DDR	-

2.3.3 初始化配置信号

表 2.4 提供了初始化配置信号的名称，方向和描述。

内部上下拉约为 50KOhm。

表 2.4 初始化接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
SYSRESETn	J12	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE_IO	-
CHIP_CONFIG[6]	C6	I	参考时钟选择 1'b1: 使用 SYSCLK 作为参考时钟 1'b0: 使用差分时钟作为参考时钟	VDDE_IO	下拉
CHIP_CONFIG[5]	B6	I	差分时钟选择 1'b1: 使用 SYSCLK_I0p/n 作为差分输入 1'b0: 使用 SYSCLK_I1p/n 作为差分输入	VDDE_IO	上拉
CHIP_CONFIG[4]	A6	I	保留	VDDE_IO	下拉
CHIP_CONFIG[3]	B7	I	保留	VDDE_IO	下拉
CHIP_CONFIG[2]	C8	I	保留	VDDE_IO	下拉
CHIP_CONFIG[1]	A8	I	保留	VDDE_IO	下拉
CHIP_CONFIG[0]	B9	I	SE 功能使能	VDDE_IO	下拉
CHIP_ID[3:0]	A10 C10 A9 C9	I	芯片号 单处理器时设置为 0，多处理器时按照 1.1.4 节的连接方式设置	VDDE_IO	下拉
ICCC_EN[1:0]	H4 G4	I	2'b00: 单片模式 其它: 保留	VDDE_IO	下拉

- **SYSRESETn:** 这个复位信号是唯一能复位整个龙芯 3B6000 处理器的信号。系统参考时钟必须在 SYSRESETn 释放前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 释放时才开始复位处理器。处理器内部复位将在 64K 个参考时钟周期后完成，之后复位处理才会被执行。
- **其它配置信号:** 定义了龙芯 3B6000 需要静态配置的信号，它在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

系统配置引脚的期望设置与内部上下拉的值一致时，可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接，以方便调试使用。

2.3.4 低速接口信号

龙芯 3B6000 处理器的低速 I/O 接口包括 SPI 总线、UART 总线、I2C 总线和 AVS 总线。

SPI 总线连接 SPI flash，用于系统启动。SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动
- 可支持双线、四线模式

UART 控制器具有以下特性：

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。龙芯 3B6000 中集成的 I2C 控制器既可以作为主设备，也可以作为从设备，这两种模式之间通过配置内部寄存器进行切换。

AVS 总线用于专用电源芯片的电压控制以及状态监测，相比 I2C 总线有着更高的带宽和更短的延迟。

I2C、UART、AVS 接口不使用时可以悬空。

这些低速 I/O 接口包含的信号如下。SPI 直接连接 Flash 芯片，无需上拉。

表 2.5 SPI 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
------	------	-------	----	-----	-------

SPI_SCK	E13	0	SPI 总线时钟	VDDE_IO	无
SPI_SDO	D12	0	SPI 总线数据输出	VDDE_IO	无
SPI_SDI	D13	I	SPI 总线数据输入	VDDE_IO	无
SPI_WPn	G12	0	SPI 总线写保护	VDDE_IO	无
SPI_HOLDn	E12	0	SPI 总线保持	VDDE_IO	无
SPI_CS _n *	F13	0	SPI 片选信号	VDDE_IO	无

*, 如需连接多个 SPI 设备, 可复用 GPIO0~1 作为 2 个额外的 CS_n 片选信号。

表 2.6 UART 接口信号

信号名称	管脚名称	引脚标号	输入/输出	描述	电压域	内部上下拉
UART0_RXD	H11	BJ41	I	串口数据输入	VDDE_IO	无
UART0_TXD	H12	BL41	O	串口数据输出	VDDE_IO	无

*, UART1 复用 GPIO2-9

表 2.7 I2C 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
I2C0_SCL	C12	I/O	I2C 总线 0 时钟	VDDE_IO	无
I2C0_SDA	C13	I/O	I2C 总线 0 数据	VDDE_IO	无
I2C1_SCL	B13	I/O	I2C 总线 1 时钟	VDDE_IO	无
I2C1_SDA	A13	I/O	I2C 总线 1 数据	VDDE_IO	无
I2C2_SCL	B11	I/O	I2C 总线 2 时钟	VDDE_IO	无
I2C2_SDA	A12	I/O	I2C 总线 2 数据	VDDE_IO	无

表 2.8 AVS 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
AVS_CLK	F10	O	AVS 总线时钟	VDDE_IO	无
AVS_MDATA	G10	O	AVS 总线发送数据	VDDE_IO	无
AVS_SDATA	F11	I	AVS 总线接收数据	VDDE_IO	无

2.3.5 中断信号

龙芯 3B6000 处理器的引脚中断包括 1 个不可屏蔽中断 (NMI_n), 16 个 GPIO 中断。此外, 处理器还支持消息中断 (MSI), 通过 PCI 接口传递到处理器。下表显示了引脚中断信号的名称、方向和描述。

GPIO 中断可以选择路由到处理器核中断引脚的 INT0~3 四根中断中的任意一个。有关中断的详细说明请参考使用手册的中断部分。

NMI_n 信号不用时可悬空。

下表内部上下拉约为 50KΩ。

表 2.9 引脚中断信号描述

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
NMI _n	D6	I	不可屏蔽外部中断信号, 该信号会直接中	VDDE_IO	上拉

			断处理器，且不可屏蔽		
--	--	--	------------	--	--

2.3.6 JTAG 接口信号

龙芯 3B6000 提供了 JTAG 调试接口，用于系统调试。

JTAG 接口不用时可悬空，但推荐连出以提供系统调试功能。

下表提供了 JTAG 信号的名称，方向和描述。其中内部上下拉约为 50KOhm。

表 2.10 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
TDI	H2	I	JTAG 串行扫描数据输入。	VDDE_IO	无
TDO	F2	O	JTAG 串行扫描数据输出。	VDDE_IO	无
TMS	E6	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE_IO	无
TRSTn	H3	I	JTAG 重启信号。	VDDE_IO	下拉
TCK	F4	I	JTAG 串行扫描时钟。	VDDE_IO	下拉
TSEL[1:0]	G2 F3	I	JTAG 功能选择： 2' b00: LA464 JTAG 2' b01: JTAG	VDDE_IO	2' b00

2.3.7 时钟信号

龙芯 3B6000 时钟相关信号参见表 2.11。处理器时钟信号包括功能参考时钟和测试时钟。测试时钟为 TESTCLK。功能参考时钟可由多个不同的输入进行选择，包括 SYSCLK，差分时钟 SYSCLK_I0p/n、差分时钟 SYSCLK_I1p/n。此外还提供了一组参考时钟输出 SYSCLK_Op/n。龙芯 3B6000 内部所有时钟都通过参考时钟产生，具体的时钟频率由软件配合设置。

SYSCLK 或 SYSCLK_I0p/n，SYSCLK_I1p/n 中必须有一组连接。推荐使用 SYSCLK_I0p/n。

表 2.11 时钟及配置信号

信号名称	引脚标号	输入/输出	频率 (MHz)	描述	电压域
SYSCLK	A14	I	100	系统输入单端参考时钟。 CHIP_CONFIG[6] 上拉时使用。	VDDE_IO
SYSCLK_I0p/n	J9 J10	I	100	系统输入差分参考时钟。 CHIP_CONFIG[6] 下拉且 CHIP_CONFIG[5] 上拉时使用。	VDDZ1V8PRG
SYSCLK_I1p/n	K10 K11	I	100	系统输入差分参考时钟。 CHIP_CONFIG[6] 下拉且 CHIP_CONFIG[5] 下拉时使用。	VDDZ1V8PRG
SYSCLK_Op/n	J13 H13	O	100	系统输出差分参考时钟。	VDDZ1V8PRG
TESTCLK	G5	I	25	测试时钟，功能模式下需要下拉。	VDDE_IO

2.3.8 GPIO 信号

龙芯 3B6000 中提供最多 16 个 GPIO 供系统使用，且绝大部分进行了复用。GPIO00 - GPIO15 芯片复位时即为 GPIO 功能，默认为输入状态，不驱动 IO。

GPIO 不用时可悬空。

部分 GPIO 引脚可复用为两种不同的功能，在不同的工作模式下使用。其中复用功能 1 主要作为 PCIE 接口的 RESETn 和 PRESENTn 使用，可通过软件与特定的 PCIE 控制器搭配使用。

此外，通过寄存器设置，可以将 GPIO 配置为中断输入功能，并可以设置其中断电平，设置方法请参考使用手册中的 GPIO 相关章节。

GPIO 引脚的驱动能力从 2mA 至 12mA 软件可配置，默认为最低驱动。

表 2.12 GPIO 信号

GPIO	引脚名称	引脚标号	复用功能 0	复用功能 1	复位状态	电压域
0	GPIO00	H8	SPI_CS _{n1}	PCIE_RESET _{n0}	输入高阻	VDDE_IO
1	GPIO01	G9	SPI_CS _{n2}	PCIE_RESET _{n1}	输入高阻	VDDE_IO
2	GPIO02	E10	UART1_RXD	PCIE_RESET _{n2}	输入高阻	VDDE_IO
3	GPIO03	D11	UART1_TXD	PCIE_RESET _{n3}	输入高阻	VDDE_IO
4	GPIO04	D10	UART1_RTS	PCIE_PRESENT _{n0}	输入高阻	VDDE_IO
5	GPIO05	E9	UART1_CTS	PCIE_PRESENT _{n1}	输入高阻	VDDE_IO
6	GPIO06	H7	UART1_DTR	PCIE_PRESENT _{n2}	输入高阻	VDDE_IO
7	GPIO07	G8	UART1_DSR	PCIE_PRESENT _{n3}	输入高阻	VDDE_IO
8	GPIO08	F8	UART1_DCD	PCIE_PRESENT _{n4}	输入高阻	VDDE_IO
9	GPIO09	E8	UART1_RI	PCIE_PRESENT _{n5}	输入高阻	VDDE_IO
10	GPIO10	D8	-	-	输入高阻	VDDE_IO
11	GPIO11	D7	-	-	输入高阻	VDDE_IO
12	GPIO12	F7	-	-	输入高阻	VDDE_IO
13	GPIO13	G6	SCNT_RST _n	-	输入高阻	VDDE_IO
14	GPIO14	F6	PROCHOT _n	-	输入高阻	VDDE_IO
15	GPIO15	H6	THERMTRIP _n	-	输入高阻	VDDE_IO

GPIO13 复用为 SCNT_RST_n 时，用于复位处理器核的稳定时钟计数。

GPIO14 复用为 PROCHOT_n 时。当作为输入，芯片受外部温度检测电路的控制，外部温度检测电路需要降低芯片温度时可以置 PROCHOT_n 为 0，芯片接收到该低电平后可以采取降频措施，降频时的分频值由通过寄存器 prochn_freq_scale 设置。PROCHOT_n 作为输出时，芯片可输出高温中断，通过 prochn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

GPIO15 复用为 THERMTRIPn 时，作为输出，由芯片通过 thermtripn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

2.3.9 测试控制信号

龙芯 3B6000 芯片的测试控制信号用于区分芯片的实际工作状态。当芯片正常工作，测试功能被禁用。用于测试的控制信号为 DOTESTn 信号，运行在功能模式时需要进行上拉处理。

表 2.13 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DOTESTn	E5	I	DOTESTn=0，芯片处于测试模式； DOTESTn=1，芯片处于正常功能模式。	VDDE_IO	上拉

2.3.10 电源地引脚

表 2.14 电源引脚

电源域	描述	引脚名称	引脚标号
VDDN	处理器核数字电源	VDDN	见附录一
VDDP	处理器核外围数字电源	VDDP	见附录一
VDDE_IO	处理器 IO 电源	VDDE_IO	见附录一
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23	见附录一
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23	见附录一
VDD_PCIE	PCIE IO 电源	VDD_PCIE_1V0 VDD_PCIE_1V8	见附录一
PLL_MEM	MEM PLL 电源	VDDZ1V2MEM0PLL VDDZ1V2MEM1PLL	见附录一
PLL_PCIE	PCIE PLL 电源	VDDZ1V2PCIE0PLL VDDZ1V2PCIE1PLL	见附录一
SMALL	SENS 电源	SENS_VDDN SENS_VDDP VDDZ1V8PRG	见附录一
VSS	地平面	VSS VSSZ1V2MEM0PLL VSSZ1V2MEM1PLL VSSZ1V2PCIE0PLL VSSZ1V2PCIE1PLL SENS_VSSN SENS_VSSP VSSZ1V8PRG	见附录一

2.4 引脚复用关系

龙芯 3B6000 中，仅 GPIO 引脚与其它功能存在复用关系，详见 2.3.8 节说明。

3. 功能及接口说明

3.1 PCIE 接口

龙芯 3B6000 中，总共可使用 32 位的 PCIE PHY 和 4 个 PCIE 控制器。

其中 32 位 PCIE 分为 2 个独立的 x16 PHY，分别对应芯片接口的 PCIE0/2。

当需要连接桥片时，使用 PCIE0（低 8 位）作为桥片接口。不需要连接桥片时，PCIE0（低 8 位）同样可以作为普通 PCIE 桥使用。

在不同的工作模式下，每个 x16 PHY 可以进行拆分，最多拆分为 4x4，但不同 PHY 的拆分方法在不同的模式下有所不同。

3.1.1 接口特性

PCIE 接口特性包括：

- 根据芯片版本和主板的设计情况，最高可兼容至 PCIE Gen4
- 共 32 个 lane，分为 2 组 x16，在此基础上还可进一步拆分使用
- 片内集成 4 个控制器，最多支持 4 设备连接
- PCIE0 支持桥片连接模式和设备连接模式，其它 PCIE 接口支持设备连接模式
- 支持极性反转
- 支持线序反转

3.1.2 模式配置

作为 PCIE 接口时，每个 x16 还可以拆分使用，其可能的拆分模式如下表，其中标注为“二选一”的只能选用其中一种。

表 3.1 PCIE 拆分模式

控制器	PHY0 0-3	PHY0 4-7	PHY0 8-11	PHY0 12-15	PHY2 0-7	PHY2 8-15
CTRL 0						
CTRL 2						
CTRL 4						
CTRL 6				二选一		二选一

表 3.2 单路 PCIE Group0 工作模式

PCIE 接口	第一配置	第二配置
PCIE 0	x8+x8	x8+x4+x4
PCIE 2	x16/x8+x8	x16

3.2 DDR 接口

龙芯 3B6000 处理器内部集成的内存控制器的设计遵守 DDR4 SDRAM 的行业标准（JESD79-4）。

3.2.1 内存控制器功能概述

龙芯 3B6000 处理器中，每个内存控制器支持最大 4 个 CS，其中每 2 个 CS 可以对应一个内存插槽，每个控制器最多支持两个内存插槽，每个处理器最多支持八个内存插槽。

龙芯 3B6000 处理器在具体选择使用不同内存芯片类型时，可以调整控制器参数设置进行支持，能支持各种容量大小的内存条。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3B6000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态。

龙芯 3B6000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对 1 位错进行自动纠错
- 支持内存地址镜像功能
- 支持 RDIMM、UDIMM、So-DIMM 以及贴片等不同内存形态
- 支持 x4、x8、x16 颗粒
- 支持 133-800MHz 内部工作频率
- 最高支持 DDR4-3200

3.2.2 初始化操作

内存控制器必须经过软件初始化之后，才可以正常使用，以下为对控制器进行初始化的具体方法。

初始化操作由软件向寄存器 Init_start (0x010) 写入 1 时开始，在设置 Init_start 信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

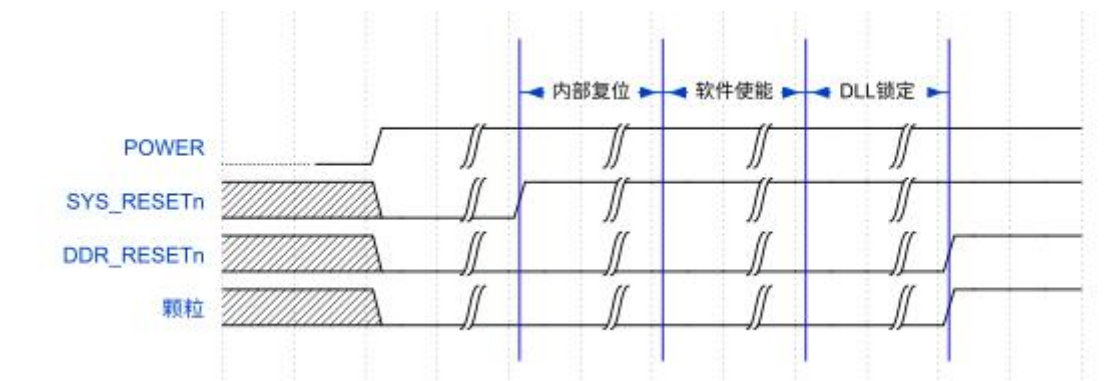
- (1) 软件向所有的寄存器写入正确的配置值，但是 Init_start (0x010) 在这一过程中必须保持为 0；
- (2) 软件将 Init_start (0x010) 设置为 1，这将导致硬件初始化的开始；
- (3) PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 Dll_init_done (0x030) 读出对应状态，并可以从 Dll_value_ck (0x030) 读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 Dll_bypass (0x030) 使得初始化继续执行）；
- (4) DLL 锁定（或者 bypass 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
- (5) 软件可以通过采样 Dram_init (0x010) 寄存器来判断内存初始化操作是否完成。

3.2.3 复位引脚的控制

为了在 STR 等状态下更加简单地控制复位引脚，可以通过 pad_reset_po (0x808) 寄存器进行特别的复位引脚 (DDR_RESETh) 控制，主要的控制模式有两种：

- (1) 一般模式，pad_reset_po[1:0] = 2'b00。这种模式下，复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESETh 与内存槽上的对应引脚相连。引脚的行为是：
 - 未上电时：引脚状态为低；
 - 上电时：引脚状态为低；
 - 控制器开始初始化时，引脚状态为高；
 - 正常工作时，引脚状态为高。

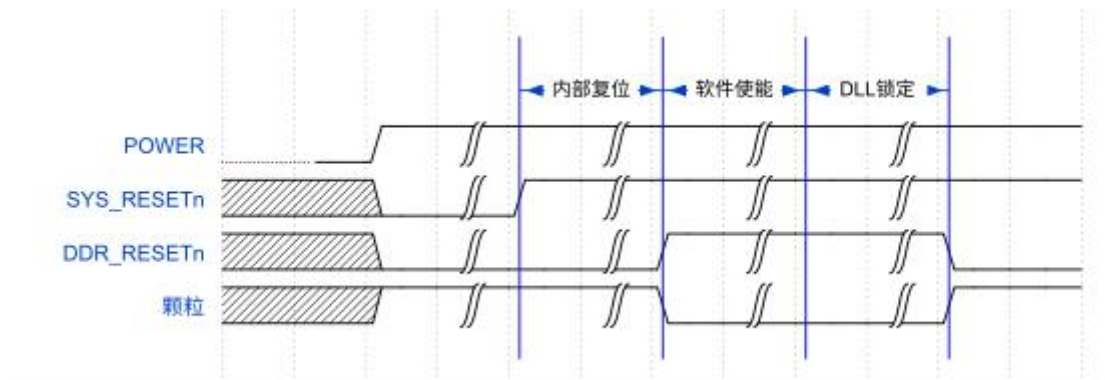
时序如下图所示：



(2) 反向模式， $\text{pad_reset_po}[1:0] = 2' \text{ b}10$ 。这种模式下，复位信号引脚在进行内存实际控制的时候，有效电平与一般的控制模式相反。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始配置时：引脚状态为高；
- 控制器开始初始化时：引脚状态为低；
- 正常工作时：引脚状态为低。

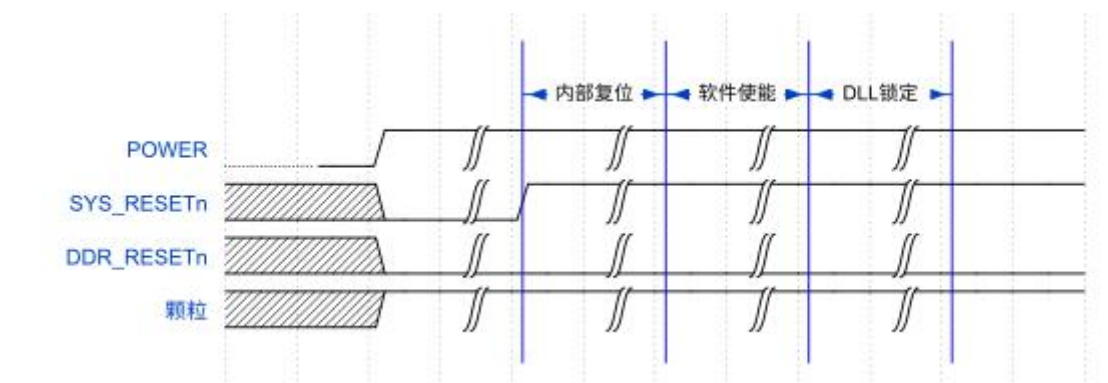
时序如下图所示：



(3) 复位禁止模式， $\text{pad_reset_po}[1:0] = 2' \text{ b}01$ 。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低。

时序如下图所示：



由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR 控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件上使其重新开始正常工作。

4. 芯片启动及初始化

4.1 引导启动说明

龙芯 3B6000 支持从本芯片的 SPI Flash 接口进行取指启动。

4.2 上电配置说明

上电配置引脚包括 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG。

这些静态配置信号在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

一种推荐的设置值如下：

表 4.1 上电配置引脚

引脚	设置	说明
DOTESTn	上拉	功能模式
ICCC_EN[1:0]	2' b00	单片系统
CHIP_ID[3:0]	4' b0000	单片系统
CHIP_CONFIG[6]	下拉	推荐使用差分参考时钟
CHIP_CONFIG[5]	上拉	推荐使用 SYSCLK_I0p/n 作为参考时钟
CHIP_CONFIG[4]	下拉	正常互连模式
CHIP_CONFIG[3]	下拉	不交换
CHIP_CONFIG[2]	下拉	不交换
CHIP_CONFIG[1]	下拉	全局启动，共享一个 Flash
CHIP_CONFIG[0]	下拉	禁用 SE 功能

4.3 复位操作

龙芯 3B6000 的复位引脚为 SYSRESETn。

当处理器复位信号 SYSRESETn 被释放之前一段时间，相关的时钟，测试信号和初始化信号都必须已经稳定有效。这些信号包括上一节提及的配置信号以及参考时钟：

- 当使用单端参考时钟时（CHIP_CONFIG[6]上拉时），SYSCLK
- 当使用差分参考时钟时（CHIP_CONFIG[6]下拉时），根据 CHIP_CONFIG[5]选择 SYSCLK_I0p/n 或 SYSCLK_I1p/n
- 初始化信号 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 应在电源稳定后保持至少 100ms 有效，以保证复位逻辑能可靠采样。此后 Core、DDR 和 PCIE 等时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

5. 时钟

5.1 时钟内部关系

龙芯 3B6000 内部的时钟关系及其控制方式如下表所示。

表中的 SYS_CLOCK 可以选择为单端的 SYSCLK 输入，也可以是差分的 SYSCLK_I0p/n 或 SYSCLK_I1p/n 输入，由 CHIP_CONFIG[6:5] 的值决定。

表 5.1 处理器内部时钟说明

时钟	时钟来源	倍频方式	分频控制	使能控制	时钟描述
Boot Clock	SYS_CLOCK	*1	不支持	不支持	SPI、UART、I2C、AVS 控制器时钟
Main Clock	SYS PLL	PLL 配置	不支持	不支持	SYS PLL 输出。 Node Clock、Core Clock、LA132 Clock 时钟源 Mem Clock、PCIE Clock、Stable Clock 可选时钟源
Node Clock	Main Clock	*1	支持	不支持	片上网络、共享缓存、节点时钟源
CoreX Clock	Main Clock	*1	支持	支持	CoreX 时钟
LA132 Clock	Main Clock	*1	支持	支持	LA132 时钟，软件需要保证分频后低于 1GHz
Stable Clock	SYS_CLOCK	*1	支持	支持	处理器核恒定计数器时钟
Mem0/1 Clock	MEM PLL0	PLL 配置	不支持	支持	内存控制器 0/1 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 0/1 备选时钟
Mem2/3 Clock	MEM PLL1	PLL 配置	不支持	支持	内存控制器 2/3 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 2/3 备选时钟
PCIE Group0 Clock	PCIE PLL0	PLL 配置	支持	不支持	PCIE 控制器 0/2/4/6 时钟
	Main Clock	/2、/4、/8	支持	不支持	PCIE 控制器 0/2/4/6 备选时钟
PCIE Group1 Clock	PCIE PLL1	PLL 配置	支持	不支持	PCIE 控制器 1/3/5/7 时钟
	Main Clock	/2、/4、/8	支持	不支持	PCIE 控制器 1/3/5/7 备选时钟

5.2 时钟需求

处理器包括以下参考时钟，其中 SYSCLK 或者 SYSCLK_I0p/n、SYSCLK_I1p/n 可被选为全芯片的参考时钟，由 CHIP_CONFIG[6:5] 进行选择，只需要使用这其中一个时钟即可，推荐使用 SYSCLK_I0p/n。

无论是差分还是单端参考时钟，时钟频率必须为 100MHz。

表 5.2 参考时钟输入

信号名称	输入/输出	频率范围(MHz)	描述	电压域
SYSCLK	I	100	系统输入单端参考时钟	VDDE_IO
SYSCLK_I0p/n	I	100	系统输入差分参考时钟 0	VDDZ1V8PRG
SYSCLK_I1p/n	I	100	系统输入差分参考时钟 1	VDDZ1V8PRG
TESTCLK	I	-	测试时钟, 功能模式下外连下拉	VDDE_IO

5.2.1 单端时钟输入要求

SYSCLK 输入为 LVCOMS 类型, 电平 1.8v。要求如下表:

条件	说明	最小	典型	最大	单位
V	供电电压				
Vih	输入高电压	1.25			V
Vil	输入低电压			0.4	V
Cin	输入电容		2		pf
Tr	上升沿时间	1	2.2	3.6	V/ns
Tf	下降沿时间				
Duty Cycle	占空比	45%~55%			
Clockjitter	时钟抖动 (multiple output frequencies switching)		74		ps

5.2.2 差分时钟输入要求

3B6000 推荐使用差分时钟作为参考时钟输入。SYSCLK_I0p/n 和 SYSCLK_I1p/n 可选一组为参考时钟, 通过 CHIP_CONFIG[5] 进行选择, 输入为 LP-HCSL 类型。未被选用的时钟输入可悬空。

条件	说明	最小	典型	最大	单位
V	供电电压				
Vih	差分输入高点压	+150			mV
Vil	差分输入低电压			-150	mV
Vcross	差分交叉电电压	+250		+550	mV
Vmax	输入最高电压			+1.15	V
Vmin	输入最低电压	-0.3			V
Cin	输入电容		1		pf
Rising Edge Rate	上升沿速率	0.6		4	V/ns
Falling Edge Rate	下降沿速率	0.6		4	V/ns
Rise-Fall-Matching	上升/下降速率匹配			20%	
Duty Cycle	占空比	40%~60%			
TPERIOD AVG	非展频时钟平均周期误差	-300		+300	ppm
SSC-TPERIOD AVG	展频时钟平均周期误差	-300		+2800	ppm

TPERIOD ABS	绝对周期 (包括时钟抖动及展频调制)	9.847		10.203	ns
TJITTER RMS	RMS 时钟抖动			0.5	ps

5.2.3 差分时钟输出

3B6000 提供了一组差分参考时钟输出 SYSCLK_0p/n, 该时钟与差分时钟输入使用同一电平标准。

5.3 频率配置

处理器的主要时钟由三种 PLL 产生, 分别是 SYS PLL、两个 MEM PLL 和两个 PCIECTRL PLL。此外还需要由各个 PHY 中产生的用于总线数据发送接收的时钟。

SYS PLL、MEM PLL 和 PCIE CTRL PLL 可以由软件配置频率。在芯片复位后默认使用 SYS_CLOCK, 由软件对对应的 PLL 进行设置之后产生期望的频率并使用, 在系统运行过程中, 可以在满足要求的情况下随时更改。软件配置频率的具体配置方法请参考使用手册中的相关章节。

各个 PHY 中的频率由软硬件配合确定, 其配置方法同样可以参考使用手册中的相关章节。

芯片内其它时钟依赖于以上这些时钟, 由软件进行设置, 具体的配置方法请参考使用手册中的相关章节。

6. 电源管理

6.1 电源域

芯片各个电源域包括的电源引脚如下：

电源域	描述	引脚名称
VDDN	处理器核数字电源	VDDN
VDDP	处理器核外围数字电源	VDDP
VDDE_IO	处理器 IO 电源	VDDE_IO
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23
VDD_PCIE	PCIE IO 电源	VDD_PCIE_1V0 VDD_PCIE_1V8
PLL_MEM	MEM PLL 电源	VDDZ1V2MEMOPLL VDDZ1V2MEM1PLL
PLL_PCIE	PCIE PLL 电源	VDDZ1V2PCIEOPLL VDDZ1V2PCIE1PLL
SMALL	SENS 电源	SENS_VDDN SENS_VDDP VDDZ1V8PRG
VSS	地平面	VSS VSSZ1V2MEMOPLL VSSZ1V2MEM1PLL VSSZ1V2PCIEOPLL VSSZ1V2PCIE1PLL SENS_VSSN SENS_VSSP VSSZ1V8PRG

芯片对于上电顺序没有强制要求，推荐先上核心电压（VDDN、VDDP），再自低向高上其它电。

龙芯 3B6000 的电压工作范围差别较大，针对不同的质量等级，其工作电压各有不同。无论何种工作电压，都需要将不同工作负载时的电源波动抑制在 $\pm 25\text{mV}$ 之内。

7. 热设计

7.1 热参数

表 7.1 芯片热阻参数

热阻	典型值(° C/W)
整体热阻	
结壳热阻	0.088
基底热阻	

扣合力参数:

LS3B6000: 30KG

7.2 TDP 信息

表 7.2 芯片热特性参数

参数	要求
TDP Max Power (LS3B6000)	100W
TDP Max Power (LS3B6000(12))	120W
TDP Max Power (LS3B6000(16))	120W
T_c / T_j	70 ° C / 85 ° C

7.3 焊接温度及焊接曲线

表 7.3 回流焊接温度分类表

曲线特征		说明
升温斜率 (T _{smax} 到 T _p)		最大 3° C/秒
预热区	最低温度 (T _{smin})	150 ° C
	最高温度 (T _{smax})	200 ° C
	时间 (T _{smin} 到T _{smax})	60-180 秒
液相温度以上保持时间	温度 (T _L)	217 ° C
	时间 (t _L)	60-150 秒
峰值温度 (T _p)		245° C
在峰值温度相差 5° C以内的时间		20-40 秒
降温斜率		最大 6 ° C/秒
25° C到峰值温度的时间		最大 8 分钟

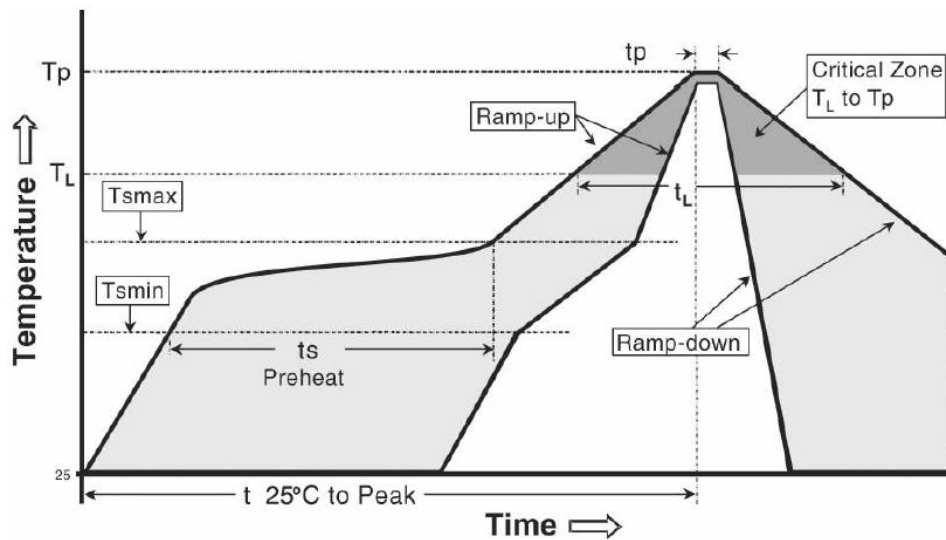


图 7.1 焊接回流曲线

8. 仿真模型

芯片的设计资料包括相关引脚的 IBIS 模型，可以通过联系技术支持获取。

9. 电气特性

9.1 极限工作条件

表 9.1 绝对最大额定值

电源域	描述	引脚名称	Min.	Max.	Unit
VDDN	处理器核数字电源	VDDN	0.95	1.21	v
VDDP	处理器核外围数字电源	VDDP	0.99	1.21	v
VDDE_IO	处理器 IO 电源	VDDE_IO	1.71	1.89	v
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01	1.14	1.26	v
		VDDIO_DDR_23	1.14	1.26	v
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01	0.99	1.21	v
		VDD_PHY_DDR_23	0.99	1.21	v
VDD_PCIE	PCIE IO 电源	VDD_PCIE_1V0	0.99	1.21	v
		VDD_PCIE_1V8	1.71	1.89	v
PLL_MEM	MEM PLL 电源	VDDZ1V2MEMOPLL	1.14	1.26	v
		VDDZ1V2MEM1PLL	1.14	1.26	v
		VSSZ1V2MEMOPLL	—	—	v
		VSSZ1V2MEM1PLL	—	—	v
PLL_PCIE	PCIE PLL 电源	VDDZ1V2PCIE0PLL	1.14	1.26	v
		VDDZ1V2PCIE1PLL	1.14	1.26	v
		VSSZ1V2PCIE0PLL	—	—	v
		VSSZ1V2PCIE1PLL	—	—	v
SMALL	SENS 电源	SENS_VDDN	0.95	1.21	v
		SENS_VDDP	0.99	1.21	v
		SENS_VSSN	—	—	v
		SENS_VSSP	—	—	v
		VDDZ1V8PRG	1.71	1.89	v
		VSSZ1V8PRG	—	—	v

ESD 等级：静电放电敏感度（ESD）：HBM-500V

湿敏等级：MSL3 级

表 9.2 芯片温度限额

参数	描述	最小值	最大值
Tabsolute storage	芯片在非工作条件下的绝对保存温度。超过该温度范围，可能造成芯片损坏。	-25℃	150℃
Tsustained storage	芯片在包装条件下的长时间存放温度范围。	-5℃	40℃
RHsustained storage	芯片在包装条件下的长时间存放湿度范围。	60%@24℃	
Tc	芯片在工作条件下的壳温范围。	0℃	70℃
Tj	芯片在工作条件下的结温范围。	0℃	105℃

9.2 典型工作条件

表 9.3 推荐的工作电源电压

电源域	引脚名称	描述	Min. (V)	Typ. (V)	Max. (V)	最大电流 (A)
VDDN	VDDN	Processor core power	0.95	1.15	1.21	100
VDDP	VDDP	Processor SOC power	0.99	1.15	1.21	20
VDDE_IO	VDDE_IO	Chip IO power	1.71	1.80	1.89	1
VDDIO_DDR	VDDIO_DDR_01	DDR module0/1 IO power	1.14	1.20	1.26	3
	VDDIO_DDR_23	DDR module2/3 IO power	1.14	1.20	1.26	3
VDD_PHY_DDR	VDD_PHY_DDR_01	DDR PHY0/1 power	0.99	1.10	1.21	合并至 VDDP
	VDD_PHY_DDR_23	DDR PHY2/3 power	0.99	1.10	1.21	
VDD_PCIE	VDD_PCIE_1V0	PCIE transceiver 1.0V power	0.99	1.10	1.21	10
	VDD_PCIE_1V8	PCIE Control 1.8V power	1.71	1.80	1.89	5
PLL_MEM	VDDZ1V2MEMOPLL	Memory0 PLL power	1.14	1.20	1.26	0.2
	VDDZ1V2MEM1PLL	Memory1 PLL power	1.14	1.20	1.26	
	VSSZ1V2MEMOPLL	Memory0 PLL ground	-	-	-	
	VSSZ1V2MEM1PLL	Memory1 PLL ground	-	-	-	
PLL_PCIE	VDDZ1V2PCIEOPLL	PLL1 1.2V power	1.14	1.20	1.26	0.2
	VDDZ1V2PCIE1PLL	PLL2 1.2V power	1.14	1.20	1.26	
	VSSZ1V2PCIEOPLL	PLL1 1.2V ground	-	-	-	
	VSSZ1V2PCIE1PLL	PLL2 1.2V ground	-	-	-	
SMALL	SENS_VDDN	VDDN Sense+ Output	0.95	1.15	1.21	
	SENS_VDDP	VDDP Sense+ Output	0.99	1.00	1.21	
	SENS_VSSN	VDDN Sense- input	-	-	-	
	SENS_VSSP	VDDP Sense- input	-	-	-	
	VDDZ1V8PRG	PRG module power	1.71	1.80	1.89	1
	VSSZ1V8PRG	PRG module ground	-	-	-	

9.3 电源时序

龙芯 3B6000 的上电时序并没有特殊要求，推荐先上 Core 电，再上 IO 电。

9.4 接口电气特性

9.4.1 PCIE 接口

根据芯片的不同版本，PCIE 接口最高可到兼容 1/2/3/4，速率分别为 2.5/5/8/16Gbps。

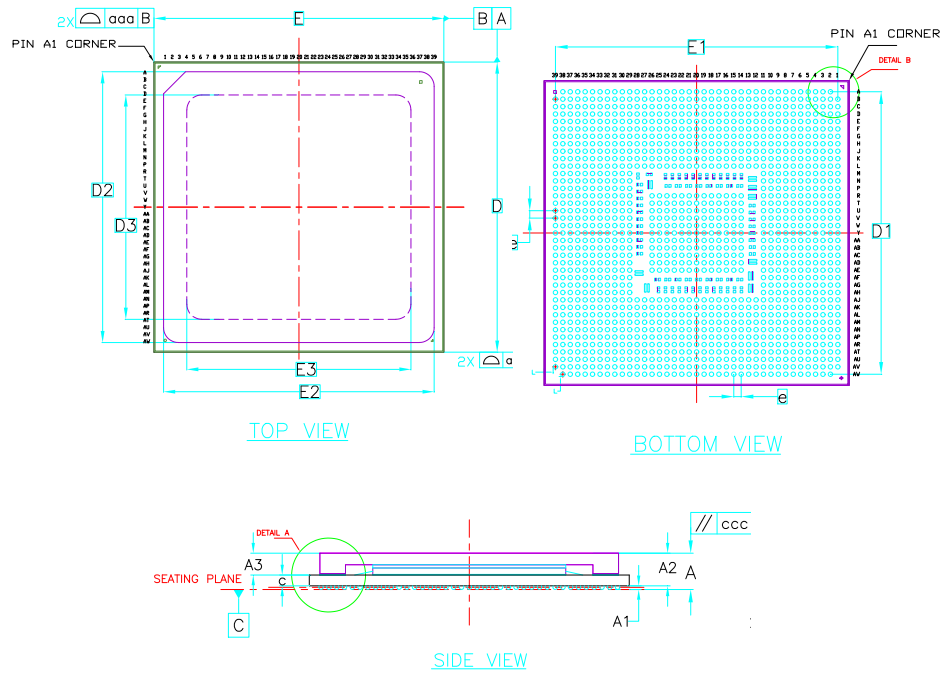
9.4.2 DDR 接口

DDR 接口兼容 DDR4，符合 JESD79-4 标准。

10. 封装信息

10.1 封装尺寸

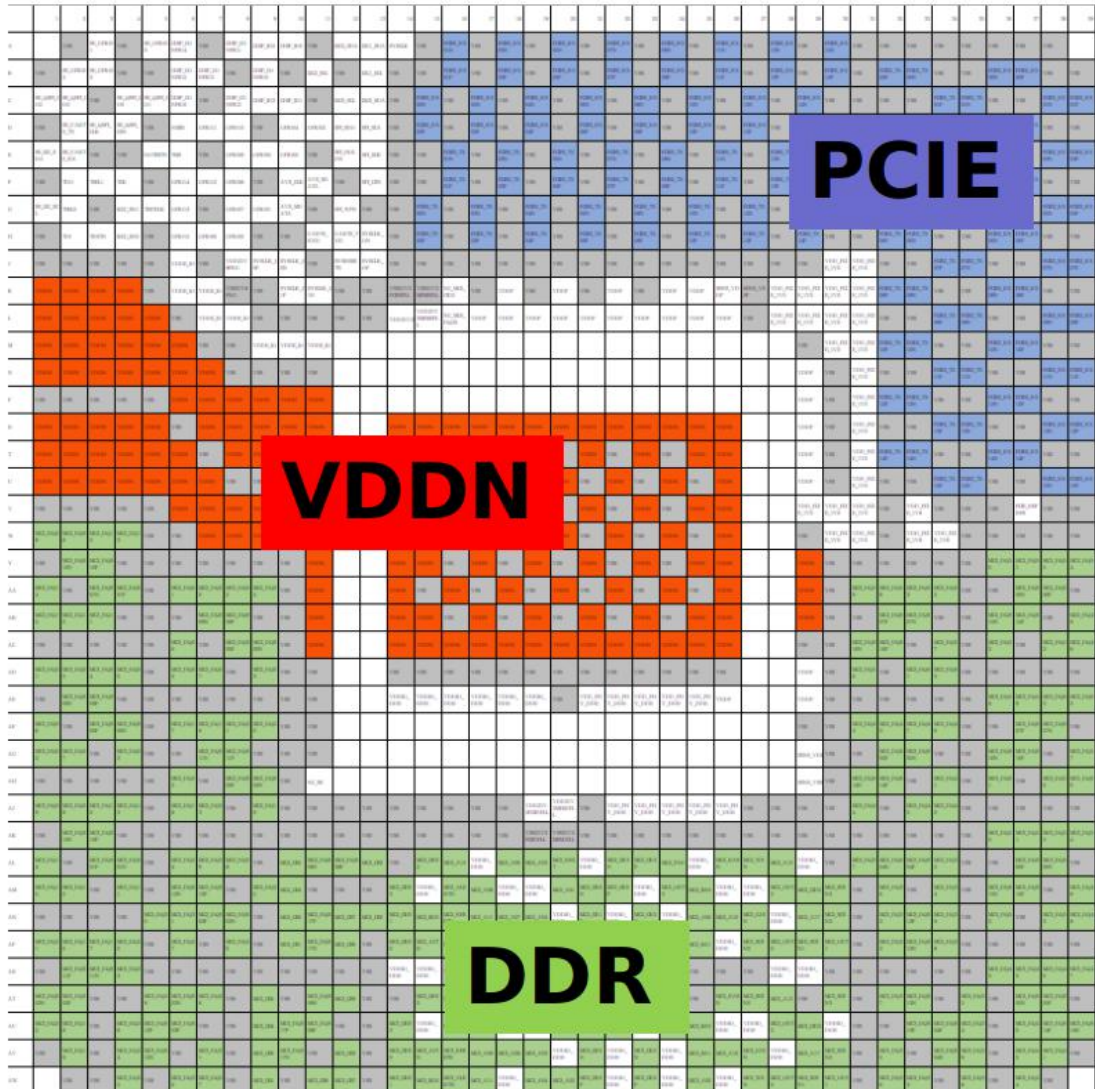
如下所示：



UNIT: MILLIMETER

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	4.054	4.254	4.454
A1	0.327	0.427	0.527
A2	3.727	3.827	3.927
A3	2.555 BASIC		
c	1.142	1.272	1.402
D	37.450	37.500	37.550
D1	34.7472 BASIC		
E	37.450	37.500	37.550
E1	34.7472 BASIC		
E2/D2	35.000 BASIC		
E3/D3	29.000 BASIC		
e	0.9144 BASIC		
b	Refer to Note.		
L	1.1014 REF		
aaa	0.015		
ccc	0.350		
ddd	0.200		
eee	0.200		
fff	0.080		

10.2 信号位置分布



芯片引脚分布图见附录一。

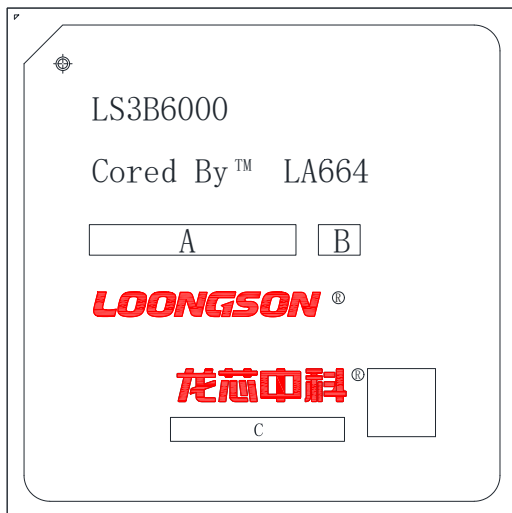
11. 产品标识

11.1 通用标识

龙芯 3B6000 命名规则如下：

LS	3B6000	-A
龙芯标识	系列标识	等级标识
		商业级：空白

11.2 3B6000 芯片（示例）



- 1) 定位点：●。
- 2) 器件识别号（PIN）：LS3B6000。
- 3) 特殊标志：A处为厂家信息或承制方标识。B处用于表示 12 或 16 核，空白为 8 核。
- 4) LOONGSON、龙芯中科及其它：厂家信息。
- 5) 二维码及编号C：芯片信息。

12. Layout 及原理图 Checklist

12.1 Layout 设计说明

详见硬件参考设计。

12.2 原理图 Checklist

详见硬件参考设计。

13. 其他

附录一：芯片引脚排布图

	1	2	3	4	5	
A		VSS	SE_GPIO01	VSS	SE_GPIO00	A
B	VSS	SE_GPIO02	SE_GPIO03	VSS	VSS	B
C	SE_QSPI_IO2	SE_QSPI_IO3	VSS	SE_QSPI_IO0	SE_QSPI_IO1	C
D	VSS	SE_UART0_TX	SE_QSPI_CLK	SE_QSPI_CSN	VSS	D
E	SE_I2C_SDA	SE_UART0_RX	VSS	VSS	DOTESTN	E
F	VSS	TDO	TSEL1	TCK	VSS	F
G	SE_I2C_SCL	TSEL0	VSS	ICCC_EN1	TESTCLK	G
H	VSS	TDI	TRSTN	ICCC_EN0	VSS	H
J	VSS	VSS	VSS	VSS	VSS	J
K	VDDN	VDDN	VDDN	VDDN	VSS	K
L	VDDN	VDDN	VDDN	VDDN	VDDN	L
M	VDDN	VDDN	VDDN	VDDN	VDDN	M
N	VDDN	VDDN	VDDN	VDDN	VDDN	N
P	VSS	VSS	VSS	VSS	VSS	P
R	VDDN	VDDN	VDDN	VDDN	VDDN	R
T	VDDN	VDDN	VDDN	VDDN	VDDN	T
U	VDDN	VDDN	VDDN	VDDN	VDDN	U
V	VSS	VSS	VSS	VSS	VSS	V
W	MC2_DQ09	MC2_DQ08	MC2_DQ12	MC2_DQ13	VSS	W
Y	VSS	MC2_DQS10N	MC2_DQS10P	VSS	VSS	Y
AA	MC2_DQ14	VSS	MC2_DQS01N	MC2_DQS01P	VSS	AA
AB	MC2_DQ15	MC2_DQ10	MC2_DQ11	VSS	VSS	AB
AC	VSS	VSS	VSS	VSS	VSS	AC
AD	MC3_DQ01	MC3_DQ00	MC3_DQ04	MC3_DQ05	VSS	AD
AE	VSS	MC3_DQS09N	MC3_DQS09P	VSS	VSS	AE
AF	MC3_DQ06	VSS	MC3_DQS00P	MC3_DQS00N	VSS	AF
AG	MC3_DQ02	MC3_DQ07	VSS	MC3_DQ03	VSS	AG
AH	VSS	VSS	VSS	VSS	VSS	AH
AJ	MC3_DQ09	MC3_DQ08	MC3_DQ12	MC3_DQ13	VSS	AJ
AK	VSS	MC3_DQS10N	MC3_DQS10P	VSS	VSS	AK
AL	MC3_DQ14	VSS	MC3_DQS01P	MC3_DQS01N	VSS	AL
AM	MC3_DQ15	MC3_DQ10	VSS	MC3_DQ11	VSS	AM
AN	VSS	VSS	VSS	VSS	MC2_DQ30	AN
AP	MC3_DQ21	MC3_DQ16	MC3_DQ17	MC3_DQ20	VSS	AP
AR	VSS	MC3_DQS11P	MC3_DQS11N	MC3_DQ23	VSS	AR
AT	MC3_DQS02N	MC3_DQS02P	VSS	VSS	MC3_DQ29	AT
AU	MC3_DQ22	MC3_DQ18	VSS	MC3_DQ28	MC3_DQS12P	AU
AV	VSS	MC3_DQ19	VSS	MC3_DQ24	MC3_DQS12N	AV

AW		VSS	VSS	MC3_DQ25	VSS	AW
----	--	-----	-----	----------	-----	----

	6	7	8	9	10	
A	CHIP_CONFIG4	VSS	CHIP_CONFIG1	CHIP_ID2	CHIP_ID0	A
B	CHIP_CONFIG5	CHIP_CONFIG3	VSS	CHIP_CONFIG0	VSS	B
C	CHIP_CONFIG6	VSS	CHIP_CONFIG2	CHIP_ID3	CHIP_ID1	C
D	NMIN	GPI011	GPI010	VSS	GPI004	D
E	TMS	VSS	GPI009	GPI005	GPI002	E
F	GPI014	GPI012	GPI008	VSS	AVS_CLK	F
G	GPI013	VSS	GPI007	GPI001	AVS_MDATA	G
H	GPI015	GPI006	GPI000	VSS	VSS	H
J	VDDE_IO	VSS	VDDZ1V8PRG	SYSCLK_I0P	SYSCLK_I0N	J
K	VDDE_IO	VDDE_IO	VSSZ1V8PRG	VSS	SYSCLK_I1P	K
L	VSS	VDDE_IO	VDDE_IO	VSS	VSS	L
M	VDDN	VSS	VSS	VDDE_IO	VDDE_IO	M
N	VDDN	VDDN	VSS	VSS	VSS	N
P	VDDN	VDDN	VDDN	VDDN	VDDN	P
R	VSS	VDDN	VDDN	VDDN	VDDN	R
T	VDDN	VSS	VDDN	VDDN	VDDN	T
U	VDDN	VDDN	VSS	VSS	VSS	U
V	VDDN	VDDN	VDDN	VDDN	VDDN	V
W	VSS	VDDN	VDDN	VDDN	VDDN	W
Y	VSS	VSS	VSS	VSS	VSS	Y
AA	MC2_DQ01	MC2_DQ00	MC2_DQ05	MC2_DQ04	VSS	AA
AB	VSS	MC2_DQS09N	MC2_DQS09P	VSS	VSS	AB
AC	MC2_DQ06	VSS	MC2_DQS00P	MC2_DQS00N	VSS	AC
AD	MC2_DQ02	MC2_DQ07	VSS	MC2_DQ03	VSS	AD
AE	VSS	VSS	VSS	VSS	VSS	AE
AF	MC2_DQ17	MC2_DQ16	MC2_DQ21	MC2_DQ20	VSS	AF
AG	VSS	MC2_DQS11N	MC2_DQS11P	VSS	VSS	AG
AH	MC2_DQ22	VSS	MC2_DQS02P	MC2_DQS02N	VSS	AH
AJ	MC2_DQ18	MC2_DQ23	VSS	MC2_DQ19	VSS	AJ
AK	VSS	VSS	VSS	VSS	VSS	AK
AL	MC2_DQ24	MC2_DQ29	MC2_DQ28	VSS	MC2_CB5	AL
AM	MC2_DQS12N	MC2_DQS12P	VSS	MC2_DQ25	MC2_CB4	AM
AN	MC2_DQ31	MC2_DQS03P	MC2_DQS03N	VSS	MC2_CB0	AN
AP	MC2_DQ27	VSS	MC2_DQ26	VSS	MC2_CB1	AP
AR	VSS	VSS	VSS	VSS	VSS	AR
AT	MC3_DQS03N	MC3_DQ26	VSS	MC3_CB5	VSS	AT
AU	MC3_DQS03P	VSS	VSS	MC3_CB4	MC3_DQS17P	AU
AV	VSS	MC3_DQ31	VSS	MC3_CB0	MC3_DQS17N	AV
AW	MC3_DQ30	MC3_DQ27	VSS	MC3_CB1	VSS	AW

	11	12	13	14	15	
A	VSS	I2C2_SDA	I2C1_SDA	SYSCLK	VSS	A
B	I2C2_SCL	VSS	I2C1_SCL	VSS	VSS	B
C	VSS	I2C0_SCL	I2C0_SDA	VSS	PCIE0_RX00N	C
D	GPI003	SPI_SDO	SPI_SDI	VSS	PCIE0_RX00P	D
E	VSS	SPI_HOLDN	SPI_SCK	VSS	VSS	E
F	AVS_SDATA	VSS	SPI_CSN	VSS	VSS	F
G	VSS	SPI_WPN	VSS	VSS	PCIE0_TX00N	G
H	UART0_RXD	UART0_TXD	SYSCLK_ON	VSS	PCIE0_TX00P	H
J	VSS	SYSRESETN	SYSCLK_OP	VSS	VSS	J
K	SYSCLK_I1N	VSS	VSS	VSSZ1V2PCIE0PLL	VSSZ1V2MEMOPLL	K
L	VSS	VSS	VSS	VDDZ1V2PCIE0PLL	VDDZ1V2MEMOPLL	L
M	VDDE_IO					M
N	VSS					N
P	VDDN					P
R	VDDN			VDDN	VDDN	R
T	VDDN			VDDN	VDDN	T
U	VDDN			VDDN	VSS	U
V	VDDN			VDDN	VDDN	V
W	VDDN			VDDN	VSS	W
Y	VDDN			VDDN	VDDN	Y
AA	VDDN			VDDN	VSS	AA
AB	VDDN			VDDN	VDDN	AB
AC	VDDN			VDDN	VDDN	AC
AD	VSS			VSS	VSS	AD
AE	VSS			VDDIO_DDR	VDDIO_DDR	AE
AF	VSS					AF
AG	VSS					AG
AH	NC_SE					AH
AJ	VSS	VSS	VSS	VSS	VSS	AJ
AK	VSS	VSS	VSS	VSS	VSS	AK
AL	MC2_DQS08N	MC2_DQS08P	MC2_CB3	VSS	MC2_CKE2	AL
AM	VSS	VSS	VSS	MC2_CKE3	VDDIO_DDR	AM
AN	MC2_DQS17P	MC2_CB7	MC2_CB2	MC2_CKE1	MC2_BG0	AN
AP	MC2_DQS17N	MC2_CB6	VSS	MC2_CKE0	MC2_ACTN	AP
AR	VSS	VSS	VSS	VDDIO_DDR	VDDIO_DDR	AR
AT	MC3_DQS08N	MC3_CB3	VSS	VSS	MC3_CKE2	AT
AU	MC3_DQS08P	VSS	VSS	MC3_CKE3	VDDIO_DDR	AU
AV	VSS	MC3_CB2	VSS	MC3_CKE0	MC3_ACTN	AV
AW	MC3_CB6	MC3_CB7	VSS	MC3_CKE1	MC3_BG0	AW

	16	17	18	19	20	
A	PCIE0_RX01N	VSS	PCIE0_RX03N	VSS	PCIE0_RX05N	A
B	PCIE0_RX01P	VSS	PCIE0_RX03P	VSS	PCIE0_RX05P	B
C	VSS	PCIE0_RX02N	VSS	PCIE0_RX04N	VSS	C
D	VSS	PCIE0_RX02P	VSS	PCIE0_RX04P	VSS	D
E	PCIE0_TX01N	VSS	PCIE0_TX03N	VSS	PCIE0_TX05N	E
F	PCIE0_TX01P	VSS	PCIE0_TX03P	VSS	PCIE0_TX05P	F
G	VSS	PCIE0_TX02N	VSS	PCIE0_TX04N	VSS	G
H	VSS	PCIE0_TX02P	VSS	PCIE0_TX04P	VSS	H
J	VSS	VSS	VSS	VSS	VSS	J
K	NC_MCO_CID2	VSS	VDDP	VSS	VDDP	K
L	NC_MCO_DQ35	VDDP	VDDP	VDDP	VDDP	L
M						M
N						N
P						P
R	VDDN	VDDN	VDDN	VDDN	VDDN	R
T	VSS	VDDN	VSS	VDDN	VSS	T
U	VDDN	VSS	VDDN	VSS	VDDN	U
V	VSS	VDDN	VSS	VDDN	VSS	V
W	VDDN	VSS	VDDN	VSS	VDDN	W
Y	VSS	VDDN	VSS	VDDN	VSS	Y
AA	VDDN	VSS	VDDN	VSS	VDDN	AA
AB	VSS	VDDN	VSS	VDDN	VSS	AB
AC	VDDN	VDDN	VDDN	VDDN	VDDN	AC
AD	VSS	VSS	VSS	VSS	VSS	AD
AE	VDDIO_DDR	VDDIO_DDR	VDDIO_DDR	VDDIO_DDR	VSS	AE
AF						AF
AG						AG
AH						AH
AJ	VSS	VSS	VSS	VDDZ1V2PCIE1PLL	VDDZ1V2MEM1PLL	AJ
AK	VSS	VSS	VSS	VSSZ1V2PCIE1PLL	VSSZ1V2MEM1PLL	AK
AL	MC2_A12	VDDIO_DDR	MC2_A06	MC2_A03	MC2_REXT	AL
AM	MC2_ALERTN	MC2_A08	VDDIO_DDR	VDDIO_DDR	MC2_A01	AM
AN	MC2_RESETN	MC2_A11	MC2_A07	MC2_A04	VDDIO_DDR	AN
AP	MC2_BG1	MC2_A09	VSS	MC2_A05	MC2_A02	AP
AR	VSS	VSS	VSS	VSS	VDDIO_DDR	AR
AT	MC3_A12	VSS	MC3_A06	MC3_A05	MC3_REXT	AT
AU	MC3_BG1	MC3_A07	VDDIO_DDR	VDDIO_DDR	MC3_A01	AU
AV	MC3_RESETN	MC3_A09	MC3_A08	MC3_A03	VDDIO_DDR	AV
AW	MC3_ALERTN	MC3_A11	VDDIO_DDR	MC3_A04	MC3_A02	AW

	21	22	23	24	25	
A	VSS	PCIE0_RX07N	VSS	PCIE0_RX09N	VSS	A
B	VSS	PCIE0_RX07P	VSS	PCIE0_RX09P	VSS	B
C	PCIE0_RX06N	VSS	PCIE0_RX08N	VSS	PCIE0_RX10N	C
D	PCIE0_RX06P	VSS	PCIE0_RX08P	VSS	PCIE0_RX10P	D
E	VSS	PCIE0_TX07N	VSS	PCIE0_TX09N	VSS	E
F	VSS	PCIE0_TX07P	VSS	PCIE0_TX09P	VSS	F
G	PCIE0_TX06N	VSS	PCIE0_TX08N	VSS	PCIE0_TX10N	G
H	PCIE0_TX06P	VSS	PCIE0_TX08P	VSS	PCIE0_TX10P	H
J	VSS	VSS	VSS	VSS	VSS	J
K	VSS	VDDP	VSS	VDDP	VDDP	K
L	VDDP	VDDP	VDDP	VDDP	VDDP	L
M						M
N						N
P						P
R	VDDN	VDDN	VDDN	VDDN	VDDN	R
T	VDDN	VSS	VDDN	VSS	VDDN	T
U	VSS	VDDN	VSS	VDDN	VSS	U
V	VDDN	VSS	VDDN	VSS	VDDN	V
W	VSS	VDDN	VSS	VDDN	VSS	W
Y	VDDN	VSS	VDDN	VSS	VDDN	Y
AA	VSS	VDDN	VSS	VDDN	VSS	AA
AB	VDDN	VSS	VDDN	VSS	VDDN	AB
AC	VDDN	VDDN	VDDN	VDDN	VDDN	AC
AD	VSS	VSS	VSS	VSS	VSS	AD
AE	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	AE
AF						AF
AG						AG
AH						AH
AJ	VSS	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	VDD_PHY_DDR	AJ
AK	VSS	VSS	VSS	VSS	VSS	AK
AL	VDDIO_DDR	MC2_CK3N	MC2_CK3P	MC2_PAR	VDDIO_DDR	AL
AM	MC2_CK0N	MC2_CK0P	VDDIO_DDR	MC2_ODT3	MC2_BA0	AM
AN	MC2_CK1P	VDDIO_DDR	MC2_CK2N	VDDIO_DDR	MC2_A00	AN
AP	MC2_CK1N	VDDIO_DDR	MC2_CK2P	VDDIO_DDR	MC2_BA1	AP
AR	VSS	VSS	VSS	VSS	VSS	AR
AT	VSS	MC3_CK3N	MC3_CK3P	MC3_PAR	VSS	AT
AU	MC3_CK1P	MC3_CK1N	VDDIO_DDR	MC3_ODT3	MC3_BA0	AU
AV	MC3_CK0N	VDDIO_DDR	MC3_CK2N	VDDIO_DDR	MC3_BA1	AV
AW	MC3_CK0P	VDDIO_DDR	MC3_CK2P	VDDIO_DDR	MC3_A00	AW

	26	27	28	29	30	
A	PCIE0_RX11N	VSS	PCIE0_RX13N	VSS	PCIE0_RX15N	A
B	PCIE0_RX11P	VSS	PCIE0_RX13P	VSS	PCIE0_RX15P	B
C	VSS	PCIE0_RX12N	VSS	PCIE0_RX14N	VSS	C
D	VSS	PCIE0_RX12P	VSS	PCIE0_RX14P	VSS	D
E	PCIE0_TX11N	VSS	PCIE0_TX13N	VSS	PCIE0_TX15N	E
F	PCIE0_TX11P	VSS	PCIE0_TX13P	VSS	PCIE0_TX15P	F
G	VSS	PCIE0_TX12N	VSS	PCIE0_TX14N	VSS	G
H	VSS	PCIE0_TX12P	VSS	PCIE0_TX14P	VSS	H
J	VSS	VSS	VSS	VSS	VDD_PCIE_1V0	J
K	SENS_VDDP	SENS_VSSP	VDD_PCIE_1V0	VDD_PCIE_1V0	VDD_PCIE_1V0	K
L	VDDP	VSS	VDD_PCIE_1V0	VDD_PCIE_1V0	VDD_PCIE_1V0	L
M				VSS	VDD_PCIE_1V0	M
N				VDDP	VSS	N
P				VDDP	VSS	P
R	VDDN			VDDP	VSS	R
T	VDDN			VDDP	VSS	T
U	VDDN			VDDP	VSS	U
V	VDDN			VDD_PCIE_1V0	VDD_PCIE_1V0	V
W	VDDN			VSS	VDD_PCIE_1V0	W
Y	VDDN			VDDN	VSS	Y
AA	VDDN			VDDN	VSS	AA
AB	VDDN			VDDN	VSS	AB
AC	VDDN			VSS	VSS	AC
AD	VSS			VDDP	VSS	AD
AE	VDDP			VDDP	VSS	AE
AF				VSS	VSS	AF
AG				SENS_VDDN	VSS	AG
AH				SENS_VSSN	VSS	AH
AJ	VDD_PHY_DDR	VSS	VSS	VSS	VSS	AJ
AK	VSS	VSS	VSS	VSS	VSS	AK
AL	MC2_RASN	MC2_WEN	MC2_A13	VDDIO_DDR	VSS	AL
AM	VDDIO_DDR	VDDIO_DDR	MC2_ODT2	MC2_CID2	MC2_SCSN3	AM
AN	MC2_A10	MC2_CASN	VDDIO_DDR	MC2_A17	MC2_SCSN2	AN
AP	VDDIO_DDR	MC2_SCSN0	MC2_ODT0	MC2_SCSN1	MC2_ODT1	AP
AR	VSS	VSS	VDDIO_DDR	VDDIO_DDR	VSS	AR
AT	MC3_RASN	MC3_SCSN0	MC3_A13	VSS	MC3_SCSN3	AT
AU	VDDIO_DDR	VDDIO_DDR	MC3_ODT2	MC3_CID2	VDDIO_DDR	AU
AV	MC3_A10	MC3_CASN	VDDIO_DDR	MC3_A17	MC3_SCSN2	AV
AW	VDDIO_DDR	MC3_WEN	MC3_ODT0	MC3_SCSN1	MC3_ODT1	AW

	31	32	33	34	35	
A	VSS	VSS	VSS	VSS	VSS	A
B	VSS	PCIE2_TX00P	PCIE2_TX00N	VSS	VSS	B
C	VSS	VSS	VSS	PCIE2_TX01P	PCIE2_TX01N	C
D	VSS	PCIE2_TX02P	PCIE2_TX02N	VSS	VSS	D
E	VSS	VSS	VSS	PCIE2_TX03P	PCIE2_TX03N	E
F	VSS	PCIE2_TX04P	PCIE2_TX04N	VSS	VSS	F
G	VSS	VSS	VSS	PCIE2_TX05P	PCIE2_TX05N	G
H	VSS	PCIE2_TX06P	PCIE2_TX06N	VSS	VSS	H
J	VDD_PCIE_1V0	VSS	VSS	PCIE2_TX07P	PCIE2_TX07N	J
K	VDD_PCIE_1V0	PCIE2_TX08P	PCIE2_TX08N	VSS	VSS	K
L	VDD_PCIE_1V0	VSS	VSS	PCIE2_TX09P	PCIE2_TX09N	L
M	VDD_PCIE_1V0	PCIE2_TX10P	PCIE2_TX10N	VSS	VSS	M
N	VDD_PCIE_1V0	VSS	VSS	PCIE2_TX11P	PCIE2_TX11N	N
P	VDD_PCIE_1V0	PCIE2_TX12P	PCIE2_TX12N	VSS	VSS	P
R	VDD_PCIE_1V0	VSS	VSS	PCIE2_TX13P	PCIE2_TX13N	R
T	VDD_PCIE_1V0	PCIE2_TX14P	PCIE2_TX14N	VSS	VSS	T
U	VDD_PCIE_1V0	VSS	VSS	PCIE2_TX15P	PCIE2_TX15N	U
V	VDD_PCIE_1V0	VSS	VDD_PCIE_1V8	VSS	VSS	V
W	VDD_PCIE_1V0	VSS	VDD_PCIE_1V8	VDD_PCIE_1V8	VSS	W
Y	VSS	VSS	VSS	VSS	VSS	Y
AA	MC2_DQ59	MC2_DQ58	MC2_DQ63	MC2_DQ62	VSS	AA
AB	VSS	MC2_DQS07P	MC2_DQS07N	VSS	VSS	AB
AC	MC2_DQS16N	MC2_DQS16P	VSS	MC2_DQ57	VSS	AC
AD	MC2_DQ56	VSS	MC2_DQ61	MC2_DQ60	VSS	AD
AE	VSS	VSS	VSS	VSS	VSS	AE
AF	MC2_DQ43	MC2_DQ42	MC2_DQ47	MC2_DQ46	VSS	AF
AG	VSS	MC2_DQS05P	MC2_DQS05N	VSS	VSS	AG
AH	MC2_DQS14N	MC2_DQS14P	VSS	MC2_DQ41	VSS	AH
AJ	MC2_DQ44	VSS	MC2_DQ45	MC2_DQ40	VSS	AJ
AK	VSS	VSS	VSS	VSS	VSS	AK
AL	MC2_DQ37	MC2_DQS04N	MC2_DQS04P	MC2_DQ35	VSS	AL
AM	VSS	MC2_DQ36	VSS	MC2_DQ34	VSS	AM
AN	VSS	MC2_DQ33	MC2_DQS13P	MC2_DQ39	VSS	AN
AP	VSS	MC2_DQ32	MC2_DQS13N	MC2_DQ38	VSS	AP
AR	VSS	VSS	VSS	VSS	VSS	AR
AT	VSS	MC3_DQ37	MC3_DQS13N	VSS	MC3_DQ35	AT
AU	VSS	VSS	MC3_DQS13P	MC3_DQS04P	MC3_DQ34	AU
AV	VSS	MC3_DQ32	VSS	MC3_DQS04N	MC3_DQ39	AV
AW	VSS	MC3_DQ36	MC3_DQ33	VSS	MC3_DQ38	AW

	36	37	38	39	
A	VSS	VSS	VSS		A
B	PCIE2_RX00N	PCIE2_RX00P	VSS	VSS	B
C	VSS	VSS	PCIE2_RX01N	PCIE2_RX01P	C
D	PCIE2_RX02N	PCIE2_RX02P	VSS	VSS	D
E	VSS	VSS	PCIE2_RX03N	PCIE2_RX03P	E
F	PCIE2_RX04N	PCIE2_RX04P	VSS	VSS	F
G	VSS	VSS	PCIE2_RX05N	PCIE2_RX05P	G
H	PCIE2_RX06N	PCIE2_RX06P	VSS	VSS	H
J	VSS	VSS	PCIE2_RX07N	PCIE2_RX07P	J
K	PCIE2_RX08N	PCIE2_RX08P	VSS	VSS	K
L	VSS	VSS	PCIE2_RX09N	PCIE2_RX09P	L
M	PCIE2_RX10N	PCIE2_RX10P	VSS	VSS	M
N	VSS	VSS	PCIE2_RX11N	PCIE2_RX11P	N
P	PCIE2_RX12N	PCIE2_RX12P	VSS	VSS	P
R	VSS	VSS	PCIE2_RX13N	PCIE2_RX13P	R
T	PCIE2_RX14N	PCIE2_RX14P	VSS	VSS	T
U	VSS	VSS	PCIE2_RX15N	PCIE2_RX15P	U
V	VSS	PCIE_REFRES	VSS	VSS	V
W	VSS	VSS	VSS	VSS	W
Y	MC2_DQ50	MC2_DQ51	MC2_DQ55	MC2_DQ54	Y
AA	VSS	MC2_DQS06N	MC2_DQS06P	VSS	AA
AB	MC2_DQS15N	MC2_DQS15P	VSS	MC2_DQ49	AB
AC	MC2_DQ52	VSS	MC2_DQ53	MC2_DQ48	AC
AD	VSS	VSS	VSS	VSS	AD
AE	MC3_DQ58	MC3_DQ59	MC3_DQ63	MC3_DQ62	AE
AF	VSS	MC3_DQS07P	MC3_DQS07N	VSS	AF
AG	MC3_DQS16N	MC3_DQS16P	VSS	MC3_DQ57	AG
AH	MC3_DQ61	VSS	MC3_DQ56	MC3_DQ60	AH
AJ	VSS	VSS	VSS	VSS	AJ
AK	MC3_DQ50	MC3_DQ51	MC3_DQ55	MC3_DQ54	AK
AL	VSS	MC3_DQS06P	MC3_DQS06N	VSS	AL
AM	MC3_DQS15N	MC3_DQS15P	VSS	MC3_DQ49	AM
AN	MC3_DQ52	VSS	MC3_DQ53	MC3_DQ48	AN
AP	VSS	VSS	VSS	VSS	AP
AR	MC3_DQ42	MC3_DQ43	MC3_DQ46	MC3_DQ47	AR
AT	VSS	MC3_DQS05N	MC3_DQS05P	VSS	AT
AU	VSS	MC3_DQ40	MC3_DQS14P	MC3_DQS14N	AU
AV	VSS	MC3_DQ45	MC3_DQ41	VSS	AV
AW	VSS	MC3_DQ44	VSS		AW

附录二：芯片引脚内部延迟数据

Net count	Netname	Net Length (um)	net delay(ns)
1	MC2_A00	14042.021	0.085
2	MC2_A01	13937.152	0.084
3	MC2_A02	14007.836	0.084
4	MC2_A03	14044.733	0.085
5	MC2_A04	13936.011	0.083
6	MC2_A05	14010.522	0.084
7	MC2_A06	14030.636	0.085
8	MC2_A07	13922.668	0.084
9	MC2_A08	13964.575	0.084
10	MC2_A09	13971.74	0.084
11	MC2_A10	13949.367	0.084
12	MC2_A11	13899.119	0.084
13	MC2_A12	13927.72	0.084
14	MC2_A13	14029.544	0.084
15	MC2_A17	13907.917	0.084
16	MC2_ACTN	13959.449	0.084
17	MC2_ALERTN	14011.858	0.085
18	MC2_BA0	13907.189	0.084
19	MC2_BA1	13950.197	0.084
20	MC2_BG0	13905.503	0.084
21	MC2_BG1	13900.409	0.083
22	MC2_CASN	13974.373	0.083
23	MC2_CB0	14901.185	0.090
24	MC2_CB1	15011.361	0.091
25	MC2_CB2	14952.013	0.090
26	MC2_CB3	14924.258	0.090
27	MC2_CB4	14996.527	0.090
28	MC2_CB5	14917.922	0.090
29	MC2_CB6	15026.584	0.090
30	MC2_CB7	14919.08	0.089
31	MC2_CID2	14056.32	0.085
32	MC2_CK0N	13907.606	0.084
33	MC2_CK0P	13993.582	0.085
34	MC2_CK1N	13992.601	0.085

35	MC2_CK1P	14079.306	0.085
36	MC2_CK2N	13936.35	0.084
37	MC2_CK2P	14020.132	0.085
38	MC2_CK3N	13935.128	0.084
39	MC2_CK3P	13931.611	0.084
40	MC2_CKE0	13932.282	0.084
41	MC2_CKE1	14008.196	0.084
42	MC2_CKE2	13901.585	0.083
43	MC2_CKE3	13904.576	0.084
44	MC2_DQ00	19220.175	0.116
45	MC2_DQ01	19200.344	0.116
46	MC2_DQ02	19175.193	0.116
47	MC2_DQ03	19227.635	0.116
48	MC2_DQ04	19147.128	0.115
49	MC2_DQ05	19184.58	0.115
50	MC2_DQ06	19242.132	0.116
51	MC2_DQ07	19178.45	0.116
52	MC2_DQ08	23055.741	0.139
53	MC2_DQ09	23038.145	0.139
54	MC2_DQ10	23103.484	0.140
55	MC2_DQ11	23029.538	0.139
56	MC2_DQ12	23022.846	0.139
57	MC2_DQ13	23067.838	0.140
58	MC2_DQ14	23121.165	0.139
59	MC2_DQ15	23155.695	0.139
60	MC2_DQ16	19892.161	0.120
61	MC2_DQ17	19808.716	0.120
62	MC2_DQ18	19813.093	0.119
63	MC2_DQ19	19823.004	0.120
64	MC2_DQ20	19814.024	0.119
65	MC2_DQ21	19823.005	0.119
66	MC2_DQ22	19832.138	0.120
67	MC2_DQ23	19887.901	0.119
68	MC2_DQ24	17973.78	0.109
69	MC2_DQ25	17970.337	0.108
70	MC2_DQ26	18043.198	0.109
71	MC2_DQ27	18056.718	0.109
72	MC2_DQ28	18080.438	0.110
73	MC2_DQ29	18088.782	0.108
74	MC2_DQ30	18022.43	0.109

75	MC2_DQ31	18038.898	0.109
76	MC2_DQ32	18591.87	0.112
77	MC2_DQ33	18642.878	0.113
78	MC2_DQ34	18624.673	0.113
79	MC2_DQ35	18634.977	0.112
80	MC2_DQ36	18623.16	0.113
81	MC2_DQ37	18625.486	0.112
82	MC2_DQ38	18563.066	0.111
83	MC2_DQ39	18645.366	0.112
84	MC2_DQ40	22598.177	0.136
85	MC2_DQ41	22473.628	0.136
86	MC2_DQ42	22531.533	0.135
87	MC2_DQ43	22610.509	0.136
88	MC2_DQ44	22571.54	0.136
89	MC2_DQ45	22463.321	0.136
90	MC2_DQ46	22474.164	0.136
91	MC2_DQ47	22501.329	0.136
92	MC2_DQ48	25650.747	0.154
93	MC2_DQ49	25650.485	0.154
94	MC2_DQ50	25592.545	0.155
95	MC2_DQ51	25489.258	0.153
96	MC2_DQ52	25629.764	0.154
97	MC2_DQ53	25656.912	0.154
98	MC2_DQ54	25610.072	0.154
99	MC2_DQ55	25652.91	0.154
100	MC2_DQ56	22157.999	0.134
101	MC2_DQ57	22086.565	0.133
102	MC2_DQ58	22173.018	0.133
103	MC2_DQ59	22064.082	0.132
104	MC2_DQ60	22140.234	0.133
105	MC2_DQ61	22147.816	0.133
106	MC2_DQ62	22154.943	0.133
107	MC2_DQ63	22187.818	0.133
108	MC2_DQS00N	19150.863	0.116
109	MC2_DQS00P	19078.959	0.116
110	MC2_DQS01N	23061.197	0.140
111	MC2_DQS01P	23096.493	0.140
112	MC2_DQS02N	19845.578	0.120
113	MC2_DQS02P	19900.834	0.121
114	MC2_DQS03N	17948.172	0.109

115	MC2_DQS03P	17987.702	0.109
116	MC2_DQS04N	18518.26	0.112
117	MC2_DQS04P	18558.579	0.112
118	MC2_DQS05N	22554.175	0.137
119	MC2_DQS05P	22485.965	0.136
120	MC2_DQS06N	25547.142	0.155
121	MC2_DQS06P	25483.07	0.154
122	MC2_DQS07N	22069.544	0.134
123	MC2_DQS07P	22158.507	0.134
124	MC2_DQS08N	15026.882	0.091
125	MC2_DQS08P	14966.22	0.091
126	MC2_DQS09N	19147.196	0.116
127	MC2_DQS09P	19247.065	0.117
128	MC2_DQS10N	23029.41	0.140
129	MC2_DQS10P	23044.266	0.140
130	MC2_DQS11N	19858.068	0.120
131	MC2_DQS11P	19819.84	0.120
132	MC2_DQS12N	18000.655	0.109
133	MC2_DQS12P	17919.033	0.109
134	MC2_DQS13N	18561.359	0.112
135	MC2_DQS13P	18477.588	0.112
136	MC2_DQS14N	22540.905	0.137
137	MC2_DQS14P	22489.441	0.136
138	MC2_DQS15N	25572.61	0.155
139	MC2_DQS15P	25519.501	0.155
140	MC2_DQS16N	22163.748	0.134
141	MC2_DQS16P	22125.435	0.134
142	MC2_DQS17N	14946.243	0.091
143	MC2_DQS17P	14868.422	0.090
144	MC2_ODT0	13991.35	0.084
145	MC2_ODT1	14023.8	0.084
146	MC2_ODT2	14023.759	0.084
147	MC2_ODT3	13976.292	0.084
148	MC2_PAR	14044.779	0.084
149	MC2_RASN	14022.275	0.085
150	MC2_RESETN	13899.657	0.083
151	MC2_REXT	6127.205	0.037
152	MC2_SCSN0	13975.901	0.084
153	MC2_SCSN1	13906.072	0.084
154	MC2_SCSN2	14042.803	0.085

155	MC2_SCSN3	14055.596	0.085
156	MC2_WEN	13916.108	0.083
157	MC3_A00	16118.321	0.097
158	MC3_A01	16103.293	0.097
159	MC3_A02	16078.304	0.096
160	MC3_A03	16008.469	0.096
161	MC3_A04	16046.879	0.097
162	MC3_A05	16121.469	0.097
163	MC3_A06	15957.274	0.096
164	MC3_A07	16087.67	0.097
165	MC3_A08	16044.898	0.097
166	MC3_A09	15975.73	0.096
167	MC3_A10	16033.239	0.097
168	MC3_A11	15996.924	0.096
169	MC3_A12	15944.141	0.096
170	MC3_A13	16054.493	0.097
171	MC3_A17	16036.666	0.097
172	MC3_ACTN	16063.507	0.097
173	MC3_ALERTN	15941.059	0.096
174	MC3_BA0	16014.165	0.097
175	MC3_BA1	15978.586	0.096
176	MC3_BG0	16087.582	0.097
177	MC3_BG1	15959.366	0.096
178	MC3_CASN	15997.973	0.096
179	MC3_CB0	16077.898	0.097
180	MC3_CB1	16090.143	0.097
181	MC3_CB2	16119.503	0.097
182	MC3_CB3	16125.568	0.097
183	MC3_CB4	16088.142	0.097
184	MC3_CB5	16207.791	0.098
185	MC3_CB6	16106.117	0.097
186	MC3_CB7	16127.846	0.097
187	MC3_CID2	16012.878	0.097
188	MC3_CK0N	15947.85	0.097
189	MC3_CK0P	16035.047	0.097
190	MC3_CK1N	16102.436	0.098
191	MC3_CK1P	16111.359	0.098
192	MC3_CK2N	16068.325	0.097
193	MC3_CK2P	16043.367	0.097
194	MC3_CK3N	16000.37	0.097

195	MC3_CK3P	15998.622	0.097
196	MC3_CKE0	16065.829	0.097
197	MC3_CKE1	16011.64	0.097
198	MC3_CKE2	16100.573	0.097
199	MC3_CKE3	16021.34	0.097
200	MC3_DQ00	15759.473	0.095
201	MC3_DQ01	15758.858	0.095
202	MC3_DQ02	15830.118	0.095
203	MC3_DQ03	15847.727	0.096
204	MC3_DQ04	15734.444	0.095
205	MC3_DQ05	15820.111	0.096
206	MC3_DQ06	15893.705	0.095
207	MC3_DQ07	15779.947	0.096
208	MC3_DQ08	17409.393	0.106
209	MC3_DQ09	17420.337	0.105
210	MC3_DQ10	17454.239	0.105
211	MC3_DQ11	17445.713	0.106
212	MC3_DQ12	17359.303	0.105
213	MC3_DQ13	17425.646	0.105
214	MC3_DQ14	17412.585	0.105
215	MC3_DQ15	17460.905	0.106
216	MC3_DQ16	19627.552	0.118
217	MC3_DQ17	19582.595	0.118
218	MC3_DQ18	19622.421	0.118
219	MC3_DQ19	19554.725	0.118
220	MC3_DQ20	19587.256	0.118
221	MC3_DQ21	19621.437	0.118
222	MC3_DQ22	19618.257	0.118
223	MC3_DQ23	19495.544	0.118
224	MC3_DQ24	18385.105	0.111
225	MC3_DQ25	18415.366	0.111
226	MC3_DQ26	18358.265	0.111
227	MC3_DQ27	18363.899	0.111
228	MC3_DQ28	18442.646	0.111
229	MC3_DQ29	18524.338	0.112
230	MC3_DQ30	18514.564	0.112
231	MC3_DQ31	18443.092	0.111
232	MC3_DQ32	19561.69	0.118
233	MC3_DQ33	19495.899	0.118
234	MC3_DQ34	19387.207	0.117

235	MC3_DQ35	19514.057	0.118
236	MC3_DQ36	19500.399	0.118
237	MC3_DQ37	19436.949	0.117
238	MC3_DQ38	19488.528	0.118
239	MC3_DQ39	19444.958	0.117
240	MC3_DQ40	20588.746	0.124
241	MC3_DQ41	20475.825	0.124
242	MC3_DQ42	20525.752	0.124
243	MC3_DQ43	20474.544	0.124
244	MC3_DQ44	20467.907	0.124
245	MC3_DQ45	20506.323	0.124
246	MC3_DQ46	20531.457	0.124
247	MC3_DQ47	20541.927	0.124
248	MC3_DQ48	19850.643	0.119
249	MC3_DQ49	19859.624	0.120
250	MC3_DQ50	19745.388	0.118
251	MC3_DQ51	19828.108	0.120
252	MC3_DQ52	19860.756	0.119
253	MC3_DQ53	19853.42	0.119
254	MC3_DQ54	19884.167	0.120
255	MC3_DQ55	19905.226	0.119
256	MC3_DQ56	18701.875	0.113
257	MC3_DQ57	18653.65	0.113
258	MC3_DQ58	18740.853	0.113
259	MC3_DQ59	18651.489	0.112
260	MC3_DQ60	18638.124	0.113
261	MC3_DQ61	18717.188	0.113
262	MC3_DQ62	18724.365	0.112
263	MC3_DQ63	18664.891	0.113
264	MC3_DQS00N	15825.147	0.096
265	MC3_DQS00P	15740.476	0.095
266	MC3_DQS01N	17481.235	0.106
267	MC3_DQS01P	17474.827	0.106
268	MC3_DQS02N	19602.912	0.119
269	MC3_DQS02P	19551.168	0.118
270	MC3_DQS03N	18412.707	0.112
271	MC3_DQS03P	18368.223	0.111
272	MC3_DQS04N	19452.661	0.118
273	MC3_DQS04P	19465.665	0.118
274	MC3_DQS05N	20462.789	0.124

275	MC3_DQS05P	20503.38	0.124
276	MC3_DQS06N	19833.465	0.120
277	MC3_DQS06P	19829.169	0.120
278	MC3_DQS07N	18589.182	0.113
279	MC3_DQS07P	18666.018	0.113
280	MC3_DQS08N	16129.983	0.098
281	MC3_DQS08P	16164.855	0.098
282	MC3_DQS09N	15795.476	0.096
283	MC3_DQS09P	15756.745	0.095
284	MC3_DQS10N	17474.671	0.106
285	MC3_DQS10P	17454.851	0.106
286	MC3_DQS11N	19557.585	0.118
287	MC3_DQS11P	19566.935	0.119
288	MC3_DQS12N	18432.599	0.112
289	MC3_DQS12P	18400.296	0.111
290	MC3_DQS13N	19411.828	0.118
291	MC3_DQS13P	19378.868	0.117
292	MC3_DQS14N	20559.782	0.125
293	MC3_DQS14P	20503.648	0.124
294	MC3_DQS15N	19884.194	0.120
295	MC3_DQS15P	19816.394	0.120
296	MC3_DQS16N	18765.909	0.114
297	MC3_DQS16P	18680.146	0.113
298	MC3_DQS17N	16047.054	0.097
299	MC3_DQS17P	16031.299	0.097
300	MC3_ODT0	16030.866	0.097
301	MC3_ODT1	16066.574	0.097
302	MC3_ODT2	15972.605	0.096
303	MC3_ODT3	15977.819	0.096
304	MC3_PAR	15958.433	0.096
305	MC3_RASN	16000.479	0.096
306	MC3_RESETN	16027.336	0.097
307	MC3_REXT	9381.514	0.056
308	MC3_SCSN0	16001.238	0.096
309	MC3_SCSN1	16033.007	0.097
310	MC3_SCSN2	16132.979	0.097
311	MC3_SCSN3	15948.318	0.096
312	MC3_WEN	15986.551	0.096
313	PCIE0_RX00N	16977.565	0.103
314	PCIE0_RX00P	17077.539	0.103

315	PCIE0_RX01N	18237.927	0.111
316	PCIE0_RX01P	18335.074	0.111
317	PCIE0_RX02N	15878.138	0.096
318	PCIE0_RX02P	15956.487	0.097
319	PCIE0_RX03N	17355.673	0.105
320	PCIE0_RX03P	17436.754	0.106
321	PCIE0_RX04N	14762.031	0.089
322	PCIE0_RX04P	14844.529	0.090
323	PCIE0_RX05N	15931.286	0.097
324	PCIE0_RX05P	16025.833	0.097
325	PCIE0_RX06N	13402.324	0.081
326	PCIE0_RX06P	13494.119	0.082
327	PCIE0_RX07N	14602.844	0.088
328	PCIE0_RX07P	14696.164	0.089
329	PCIE0_RX08N	12017.764	0.073
330	PCIE0_RX08P	12117.552	0.073
331	PCIE0_RX09N	13188.932	0.080
332	PCIE0_RX09P	13288.191	0.081
333	PCIE0_RX10N	10458.152	0.063
334	PCIE0_RX10P	10557.939	0.064
335	PCIE0_RX11N	11903.49	0.072
336	PCIE0_RX11P	11986.124	0.073
337	PCIE0_RX12N	9674.067	0.059
338	PCIE0_RX12P	9764.328	0.059
339	PCIE0_RX13N	11184.794	0.068
340	PCIE0_RX13P	11283.16	0.068
341	PCIE0_RX14N	9167.911	0.056
342	PCIE0_RX14P	9255.563	0.056
343	PCIE0_RX15N	10738.996	0.065
344	PCIE0_RX15P	10833.406	0.066
345	PCIE0_TX00N	14211.656	0.086
346	PCIE0_TX00P	14294.595	0.087
347	PCIE0_TX01N	15574.136	0.094
348	PCIE0_TX01P	15644.663	0.095
349	PCIE0_TX02N	13075.156	0.079
350	PCIE0_TX02P	13143.763	0.080
351	PCIE0_TX03N	14210.448	0.086
352	PCIE0_TX03P	14284.239	0.087
353	PCIE0_TX04N	11467.321	0.069
354	PCIE0_TX04P	11540.782	0.070

355	PCIE0_TX05N	12678.367	0.077
356	PCIE0_TX05P	12747.907	0.077
357	PCIE0_TX06N	10149.733	0.062
358	PCIE0_TX06P	10221.685	0.062
359	PCIE0_TX07N	11378.364	0.069
360	PCIE0_TX07P	11451.721	0.069
361	PCIE0_TX08N	8944.77	0.055
362	PCIE0_TX08P	9017.902	0.055
363	PCIE0_TX09N	10098.561	0.061
364	PCIE0_TX09P	10174.104	0.062
365	PCIE0_TX10N	7509.43	0.046
366	PCIE0_TX10P	7584.973	0.046
367	PCIE0_TX11N	8730.951	0.053
368	PCIE0_TX11P	8806.494	0.053
369	PCIE0_TX12N	10580.631	0.064
370	PCIE0_TX12P	10656.541	0.065
371	PCIE0_TX13N	7887.145	0.048
372	PCIE0_TX13P	7962.709	0.048
373	PCIE0_TX14N	5972.792	0.036
374	PCIE0_TX14P	6051.155	0.037
375	PCIE0_TX15N	7441.419	0.045
376	PCIE0_TX15P	7512.512	0.046
377	PCIE2_RX00N	13061.58	0.079
378	PCIE2_RX00P	13115.101	0.079
379	PCIE2_RX01N	14280.177	0.087
380	PCIE2_RX01P	14365.729	0.087
381	PCIE2_RX02N	12035.447	0.073
382	PCIE2_RX02P	12084.574	0.073
383	PCIE2_RX03N	12874.396	0.078
384	PCIE2_RX03P	12971.054	0.079
385	PCIE2_RX04N	10408.139	0.063
386	PCIE2_RX04P	10494.848	0.064
387	PCIE2_RX05N	11808.713	0.072
388	PCIE2_RX05P	11823.661	0.072
389	PCIE2_RX06N	9362.168	0.057
390	PCIE2_RX06P	9424.024	0.057
391	PCIE2_RX07N	11354.035	0.069
392	PCIE2_RX07P	11312.189	0.068
393	PCIE2_RX08N	11439.884	0.069
394	PCIE2_RX08P	11363.123	0.069

395	PCIE2_RX09N	10511.869	0.064
396	PCIE2_RX09P	10460.063	0.063
397	PCIE2_RX10N	10794.668	0.065
398	PCIE2_RX10P	10727.572	0.065
399	PCIE2_RX11N	9985.896	0.060
400	PCIE2_RX11P	9945.806	0.060
401	PCIE2_RX12N	10462.248	0.063
402	PCIE2_RX12P	10415.153	0.063
403	PCIE2_RX13N	9546.003	0.058
404	PCIE2_RX13P	9505.913	0.058
405	PCIE2_RX14N	10002.135	0.061
406	PCIE2_RX14P	9955.04	0.060
407	PCIE2_RX15N	8878.878	0.054
408	PCIE2_RX15P	8833.634	0.054
409	PCIE2_TX00N	12170.647	0.073
410	PCIE2_TX00P	12265.274	0.074
411	PCIE2_TX01N	13385.787	0.081
412	PCIE2_TX01P	13473.655	0.082
413	PCIE2_TX02N	10938.324	0.066
414	PCIE2_TX02P	11027.115	0.067
415	PCIE2_TX03N	11954.64	0.072
416	PCIE2_TX03P	12042.508	0.073
417	PCIE2_TX04N	10417.005	0.063
418	PCIE2_TX04P	10472.893	0.063
419	PCIE2_TX05N	9370.701	0.057
420	PCIE2_TX05P	9458.669	0.057
421	PCIE2_TX06N	11909.064	0.072
422	PCIE2_TX06P	11989.439	0.073
423	PCIE2_TX07N	10139.368	0.061
424	PCIE2_TX07P	10235.601	0.062
425	PCIE2_TX08N	11480.682	0.070
426	PCIE2_TX08P	11576.914	0.070
427	PCIE2_TX09N	9441.014	0.057
428	PCIE2_TX09P	9527.824	0.058
429	PCIE2_TX10N	10662.206	0.065
430	PCIE2_TX10P	10738.439	0.065
431	PCIE2_TX11N	8452.081	0.051
432	PCIE2_TX11P	8525.165	0.052
433	PCIE2_TX12N	10315.023	0.062
434	PCIE2_TX12P	10378.159	0.063

435	PCIE2_TX13N	9134.266	0.055
436	PCIE2_TX13P	9210.111	0.056
437	PCIE2_TX14N	9499.914	0.058
438	PCIE2_TX14P	9570.546	0.058
439	PCIE2_TX15N	10927.858	0.066
440	PCIE2_TX15P	11020.89	0.067
441	SYSCLK_I0N	3063.17	0.019
442	SYSCLK_I0P	2975.11	0.018
443	SYSCLK_I1N	2618.868	0.016
444	SYSCLK_I1P	2534.827	0.015
445	SYSCLK_ON	6713.551	0.041
446	SYSCLK_OP	6620.778	0.040

修订记录

版本号	更新内容
V1.0	发布版本

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826