



龙芯 CPU DDR3 布线设计指导 及软件调试说明

产品型号：龙芯 3A

2013 年 1 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区科学院南路10号 100190
10 Kexueyuan South Road, Zhongguancun
Haidian District, Beijing



www.loongson.cn

----- 阅读指南 -----

本手册是龙芯 3A、3B 及 2G 芯片的内存软硬件设计指导，分为两部分，第一部分为硬件设计的指导及布线约束文件，第二部分为软件调试说明，适用于针对龙芯 3A、3B 及 2G 处理器的主板设计。

修订历史

文档更新记录		文档编号:		
		文档名:		龙芯 CPU DDR3 布线设计 指导及软件调试说明
		版本号		V1.3
		创建人:		符兴建
		创建日期 :		2012. 5. 28
更新历史				
序号.	更新日期	版本号	更新人	更新内容
1	2012. 5. 28	V1.0	符兴建	初稿完成
2	2012. 9. 29	V1.1	符兴建	1、DDR 所有信号走线改为参考地平面
3	2013. 1. 8	V1.2	陈新科	增加第二部分，软件调试说明
4	2013. 1. 15	V1.3	符兴建	修改 DDR 信号线到其它信号线间距离约束
5				
6				
7				
8				

目 录

第一部分 DDR3 硬件设计指导	5
1. 说明.....	5
2. 电源设计要求.....	5
3. PCB 布局及走线要求.....	5
3.1 信号分组 (DDR3 signal groups)	6
3.2 叠层和布线层使用.....	6
3.3 参考平面.....	8
3.4 时钟信号组布线要求.....	8
3.5 控制信号	9
3.6 命令信号	10
3.7 数据信号	12
3.8 数据选通信号	13
第二部分 DDR3 软件调试说明	15
4. 内存基础知识.....	15
5. 龙芯芯片的访存流程.....	16
6. Pmon 内存初始化代码介绍 (3A/B、2G/H)	16
7. 内存故障诊断.....	18

第一部分 DDR3 硬件设计指导

1. 说明

本文档为基于龙芯 3A、3B 及 2G 芯片的主板设计提供内存设计及 layout 指导，根据我们针对现有的开发系统的信号测试结果及龙芯 CPU 的特点，给出了目前我们认为比较合理的内存设计方案。本方案针对采用 DDR3 DIMM 插槽的主板设计方案，其它情况我们后续会补充完善，现阶段请跟我们技术人员联系。

2. 电源设计要求

Vref 信号，该信号电流较小，但是该信号的不稳定会导致时序误差、产生比较大的 jitter 等问题，所以需要保证 Vref 电压值稳定，波动范围小于 $\pm 2\%$ 。对于 Vref 的走线要求：

1) 走线宽度 30mils，推荐走在表层

2) 距离其它信号走线距离大于 20mil，距其它干扰源（power switch，晶振等）250mil 以上

3) Vref 通过 1% 的电阻对 DIMM_VDD 分压产生，在 DIMM 插槽的每一个 Vref 引脚和 CPU 的每个 Vref 引脚附近至少放置 0.01uF 和 0.1uF 电容各一个，在分压电阻附近放置 1 个 0.1uF 电容。

VTT 电压的设计及走线要求

1) VTT 瞬间电流需求较大，请采用专用的电源芯片产生，禁止使用电阻分压方式

2) VTT 铺铜走在表层，产生 VTT 的电源电路距 DIMM 插槽上的 VTT 引脚尽量近

3) VTT 的铺铜平面上靠近 DIMM 插槽的位置放置 4 个 0.1uF 电容，另外需再放 1~2 个 10~22uF 的电容。

时钟、命令和控制信号线在内存条上以 MEM_VDD 作为参考平面，而在 Loongson 3A 上参考平面为 GND。为解决信号线跨分割带来的信号完整性问题，需要在 DIMM 条附近增加连接 MEM_VDD 和 GND 的电容。

3、PCB 布局及走线要求

本节主要包括 DDR3 接口 PCB 设计指导。任何偏离该指导中给定的信号拓扑和走线均需通过仿真和验证，以确定满足 DDR3 SDRAM 和系统时序要求。

DDR3 接口的 PCB 设计主要包括信号线的线宽/线距、叠层与阻抗控制、走线的长度限制等方面，本文档对于这几个方面都有详细的说明。

对于每个 DDR 控制器连接 2 个 DIMM 插槽的设计，推荐使用下面的信号连接方式：

DIMM0 CLK0&1; SCSN0&1; ODT0&1; CKE0

DIMM1 CLK2&3; SCSN2&3; ODT2&3; CKE1

3.1 信号分组 (DDR3 signal groups)

DDR3 接口信号分为 4 个信号组：时钟、控制、命令、数据和数据选通信号，表 1.1 对信号的分组情况进行了说明。

表 1.1 DDR3 信号分组

Group	Signal Name	Description
时钟 (Clock)	CLK[5:0] and CLK#[5:0]	System Memory Differential Clocks
控制 (Control)	CS#[3:0],CKE[3:0],ODT[3:0]	Chip select, Clock enable, On-Die termination
命令 (Command)	A[14:0], BA[2:0], WE#, CAS#,RAS#	Memory address bus, Bank select, Write enable, Column address select, Row address select
数据和数据选通 (Data and Data Strobcs)	DQ[7:0], DM0, DQS0, DQS#0	Byte Lane0
	DQ[15:8], DM1, DQS1, DQS#1	Byte Lane1
	DQ[23:16], DM2, DQS2, DQS#2	Byte Lane2
	DQ[31:24], DM3, DQS3, DQS#3	Byte Lane3
	DQ[39:32], DM4, DQS4, DQS#4	Byte Lane4
	DQ[47:40], DM5, DQS5, DQS#5	Byte Lane5
	DQ[55:48], DM6, DQS6, DQS#6	Byte Lane6
	DQ[63:56], DM7, DQS7, DQS#7	Byte Lane7
	CB[7:0], DM8, DQS8, DQS#8	Byte Lane8

数据和数据选通组中的每个 Byte Lane (Lane0~Lane8) 均可和时钟、控制、命令一样，布线时作为一个单独的同组信号看待。

3.2 叠层和布线层使用

PCB 设计推荐采用 6 层 PCB 叠层结构，叠层如图 1.1 所示

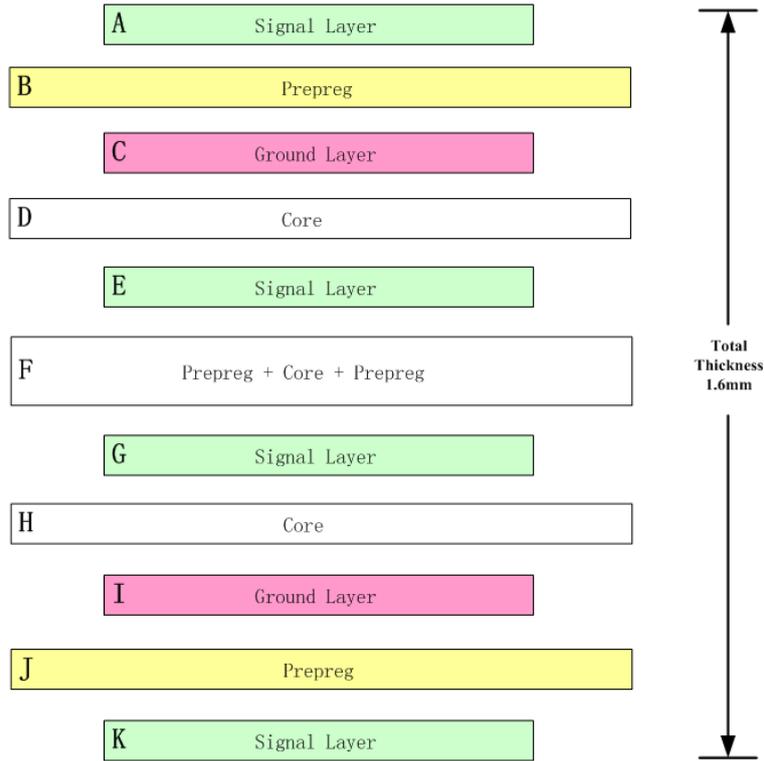


图1.1 推荐的六层PCB板叠层结构图（DIMM）

表 1.2 推荐的六层 PCB 板叠层信息表 (DIMM)

Layer	Description	Typical (in·mils)	Comments
A	Signal Layer	0.5oz+Plating	Final thickness after plating
B	Prepreg	3.7584	5.7mil·line=50 Ω · for external layer A
C	Ground Layer	1oz	1oz·copper
D	Core	3.937	8mil·line=40 Ω · for internal layer E
E	Signal Layer	1oz	1oz·copper
F	Prepreg+Core+Prepreg	38.9516	通过调整该层的厚度来达到总体板厚
G	Signal Layer	1oz	1oz·copper
H	Core	3.937	8mil·line=40 Ω · for internal layer G
I	Ground Layer	1oz	1oz·copper
J	Prepreg	3.7584	5.7mil·line=50 Ω · for external layer K
K	Signal Layer	0.5oz+Plating	Final thickness after plating

3.3 参考平面

龙芯 3A/3B 芯片内部所有 DDR 信号参考地平面，所以建议板上 DDR 走线参考地平面，内存条附近增加电源到地平面的电容以解决信号完整性问题。

3.4 时钟信号组布线要求

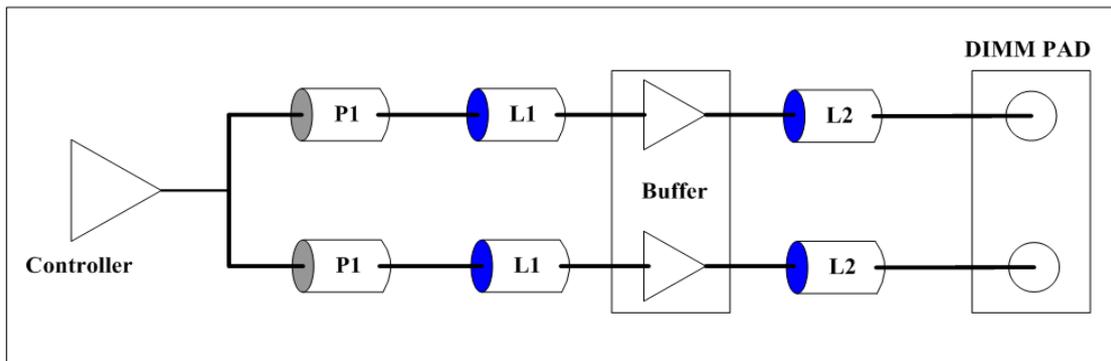


图1.3 时钟信号布线拓扑 (DIMM)

表1.3 时钟信号组布线指导

参数	定义
信号组 (Signal Group)	Clock – CLK[5:0] and CLK#[5:0]
拓扑 (Topology)	点到点差分对 Differential Pair Point-to-point

走线层	表层 (A)
参考平面 (Reference Plane)	地平面
差分信号阻抗 (Differential Mode Impedance)	80Ω+/-10%(80Ω)
与非DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	25mil
与其他DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	731mil ~ 740mil (MC0) 750mil ~ 759mil (MC1)
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距: 4mil/4mil 与其他DDR3 信号间距: 4mil L1 的长度应尽量短
L2 (Microstrip)	与其他DDR3 信号间距: 数据>20mil, 地址>20mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2)	Max = 3000mil
信号的总长度限制-P1+L1+L2	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个, 信号换层时在信号线附近增加电源或地的过孔
SCK 与SCK#的长度匹配 (SCK to SCK# Length Matching) (Total length including package)	总长度的最大差别 < 5mil
时钟对与时钟对的长度匹配 (Clock-to-Clock Total Length Matching)	到相同 DIMM 的总长度的最大差别: +/-10mil

特别说明: 为改善时钟信号质量及增加时钟的带驱动能力, 推荐在每路时钟网络上, 增加一片IDT公司的DDR3 Clock Zero Delay Buffer专用芯片, 订货型号是ICS671AGI-28LF, 该器件是TSSOP8封装, 适用于PCB空间密集的应用。

3.5 控制信号

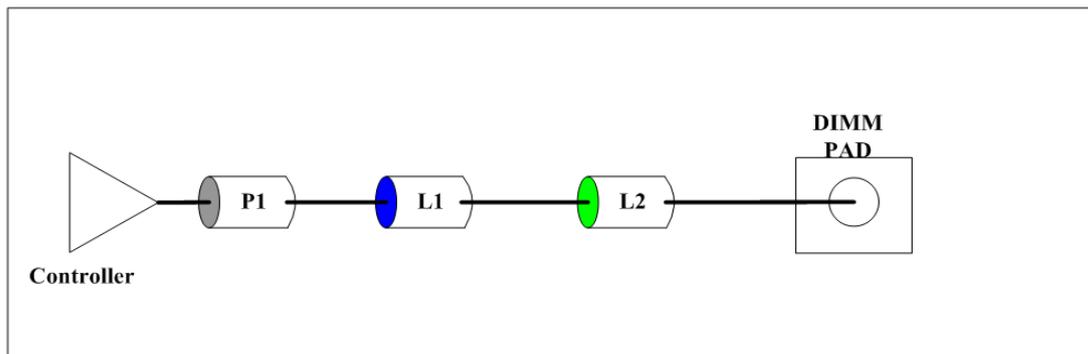


图1.4 控制信号布线拓扑 (DIMM)

表 1.4 控制信号组布线指导

参数	定义
信号组 (Signal Group)	Control – CS#[3:0], CKE[3:0], ODT[3:0]
拓扑 (Topology)	点到点信号 Point-to-Point
走线层	内层 (E or G)
参考平面 (Reference Plane)	地平面
单端信号阻抗 (Single-Ended Trace Impedance)	40Ω+/-10%
与非DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	25mil
与其他DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	730mil ~ 746mil (MC0) 749mil ~ 767mil (MC1)
L1 (Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他DDR3 信号间距: 4mil L1 的长度应尽量短
L2 (Microstrip)	与其他DDR3 信号间距: 数据>20mil, 地址>20mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2)	Max = 3000mil
信号的总长度限制-P1+L1+L2	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个, 信号换层时在信号线附近增加电源或地的过孔
控制信号与时钟对的长度匹配 (包括封装长度)	$CLK \leq CTL \leq CLK+500mil$

3.6 命令信号

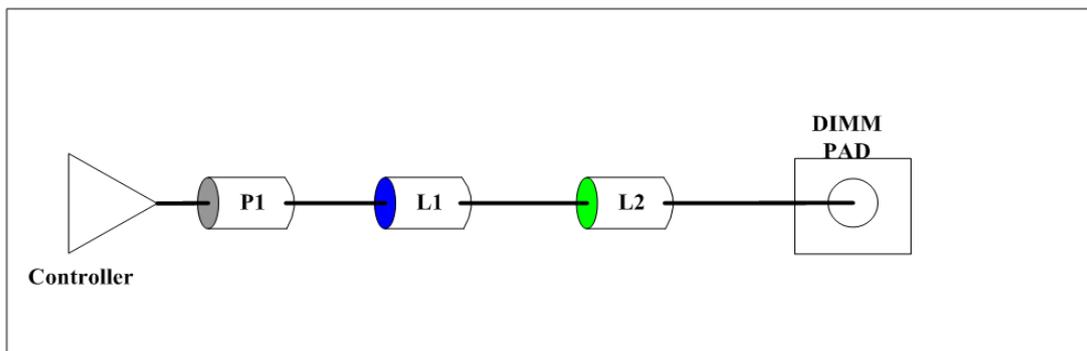


图1.5 命令信号布线拓扑 (DIMM)

表 1.5 命令信号组布线指导

参数	定义
信号组 (Signal Group)	Command -A[14:0], BA[2:0], WE#, CAS#, RAS#
拓扑 (Topology)	点到点信号 Point-to-Point
走线层	内层 (E or G)
参考平面 (Reference Plane)	地平面
信号线特性阻抗 (Characteristic Trace Impedance)	40Ω±10%
与非DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	25mil
与其他DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	730mil ~ 746mil (MC0) 749mil ~ 767mil (MC1)
L1 (Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他DDR3 信号间距: 4mil L1 的长度应尽量短
L2 (Microstrip)	与其他DDR3 信号间距: 数据>20mil, 地址>20mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2)	Max = 3000mil
信号的总长度限制-P1+L1+L2	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个, 信号换层时在信号线附近增加电源或地的过孔
命令信号与时钟对的长度匹配 (包括封装长度)	$CLK \leq CMD \leq CLK+500mil$

3.7 数据信号

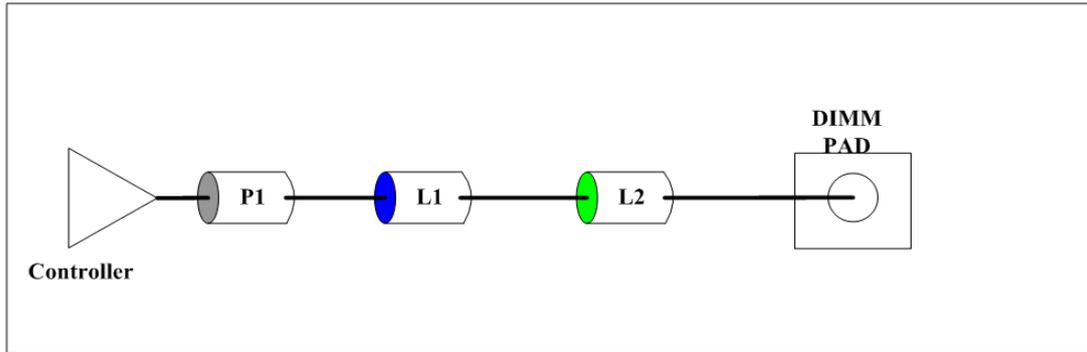


图1.6 数据信号布线拓扑 (DIMM)

表 1.6 数据信号组布线指导

参数	定义
信号组 (Signal Group)	Data -DQ[63:0], CB[7:0], DM[8:0]
拓扑 (Topology)	点到点信号 Point-to-Point
走线层	内层 (E or G)
参考平面 (Reference Plane)	地平面
信号线特性阻抗 (Characteristic Trace Impedance)	40Ω+/-10%
与非DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	25mil
与其他DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	560mil ~ 830mil (MC0) 550mil ~ 930mil (MC1)
L1 (Microstrip) (Fanout length segment)	扇出线宽: 4mil 与其他DDR3 信号间距: 4mil L1 的长度应尽量短
L2 (Microstrip)	与其他DDR3 信号间距: 数据>20mil, 地址>20mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2)	Max = 3200mil
信号的总长度限制-P1+L1+L2	Max = 4000mil
最大的过孔数 (Maximum Recommended Via Count)	2 个, 信号换层时在信号线附近增加电源或地的过孔
数据信号与 DQS 对的长度匹配	同一个分组内数据线与DQS等长度误差在

(包括封装长度)	10mil 之内
----------	----------

3.8 数据选通信号

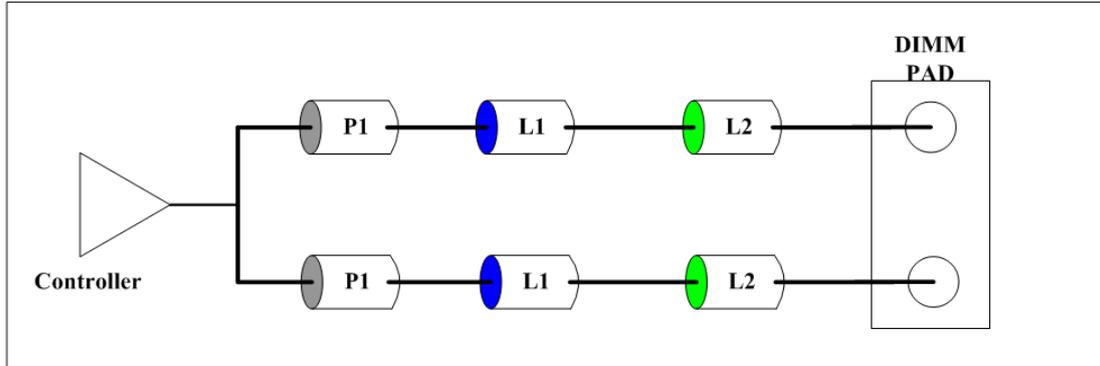


图1.7 数据选通信号布线拓扑 (DIMM)

表 1.7 数据选通信号组布线指导

参数	定义
信号组 (Signal Group)	Data Strobes –DQS[8:0], DQS# [8:0]
拓扑 (Topology)	点到点差分对 Differential Pair Point-to-point
走线层	内层 (E or G)
参考平面 (Reference Plane)	地平面
差分信号阻抗 (Differential Mode Impedance)	80Ω+/-10%
与非DDR3 信号的最小间距 (Minimum Isolation Spacing to non-DDR3 Signals)	25mil
与其他DDR3 信号组的最小间距 (Minimum Isolation Spacing to other-DDR3 Signal Groups)	20mil
封装长度的范围 (P1, Package Length Range)	560mil ~ 830mil (MC0) 550mil ~ 930mil (MC1)
L1 (Microstrip) (Fanout length segment)	扇出差分对线宽/线距: 4mil/4mil 与其他DDR3 信号间距: 4mil L1 的长度应尽量短
L2 (Microstrip)	与其他DDR3 信号间距: 数据>20mil, 地址>20mil
总的板级走线长度 (Total Motherboard Length Limits, L1+L2)	Max = 3200mil
信号的总长度限制-P1+L1+L2	Max = 4000mil

最大的过孔数 (Maximum Recommended Via Count)	2 个，信号换层时在信号线附近增加电源或地的过孔
DQS 与DQS#的长度匹配 (DQS to DQS# Length Matching) (Total length including package)	总长度的最大差别 < 5mil
DQS 与时钟对的长度匹配 (DQS-to-Clock Total Length Matching)	$CLK - 500 \text{ mils} \leq DQS \leq CLK + 1500 \text{ mils}$

注：按照以上走线规范，我们测试内存控制器工作在 296MHz（33MHz 外部晶振）时比较稳定，其它频率没有做过多的测试，如果需要其它条件下的走线规范，请等待后续我们的发布的设计指导文件或者直接与我们联系。

第二部分 DDR3 软件调试说明

4. 内存基础知识

内存颗粒

组成内存设备的基本单元，也就是我们在内存条上看到的规格相同的一个个小黑块。目前主流的类型为 SDRAM（Synchronized Dynamic RAM）。SDRAM 根据技术发展又分为 DDR、DDR2、DDR3 等几代产品。目前主流的是 DDR2 和 DDR3。内存颗粒的技术规范见 JEDEC 标准（JESD79-2 和 JESD79-3）。该文档可到 [jedec 官网](http://www.jedec.org) 免费下载（www.jedec.org）。下面对关于颗粒的一些重要、易混的概念做一个简单介绍。

1. 地址线。SDRAM使用行列地址线复用技术。即行地址和列地址共用同一组地址线，因此要分两次发送，先发行地址，再发列地址。
2. 颗粒容量：一个颗粒包含的bit位数。比如：512Mb、1Gb、2Gb等。
3. 位宽。位宽是颗粒中可寻址的最小单元的bit位数，也是一个颗粒的数据线的个数。目前常见的位宽有x4,x8,x16。
4. Bank。Bank是颗粒内部的概念，一个颗粒内有多个bank（目前主要是4和8），一组行列地址寻址的是一个bank内的一个存储单元，因此一次完整的寻址还需要提供bank地址。Bank地址是和行列地址同时发送的。
5. CS（Chip Select）片选信号。每个颗粒都有一个CS信号引脚，只有当该信号为低时，颗粒才会接收命令。
6. Rank。Rank是DIMM条的概念。一个rank相当于DIMM条的一组SDRAM颗粒，一般也就是DIMM条的一个面。一个DIMM条可以包含2个Rank，也就是双面的DIMM条。一个Rank对应一个CS信号，该CS信号用来控制该组的所有SDRAM颗粒。

内存条

目前的主流内存条为 DIMM（Dual In-line Memory Module，双列直插内存模块）。内存条分为 SO-DIMM（笔记本用的）、UDIMM（Unbuffered DIMM，台式机用的、市面上常见的内存条）、RDIMM（Registered DIMM，多用于服务器）等很多种。内存条其实就是将多个 SDRAM 颗粒拼装在一起，这些颗粒的地址、控制线串连在一起，而数据线并在一起形成 DIMM 的数据线。目前的 DIMM 条数据线个数一般为 64 位。因此对于 x8 的颗粒，需要 8 个才能形成一组存储单元，对 DIMM 条寻址时，这 8 个颗粒都会被命中，因此一次寻址会命中 8 个字节，这 8 个字节根据所在的数据线位置来区分。

5. 龙芯芯片的访存流程

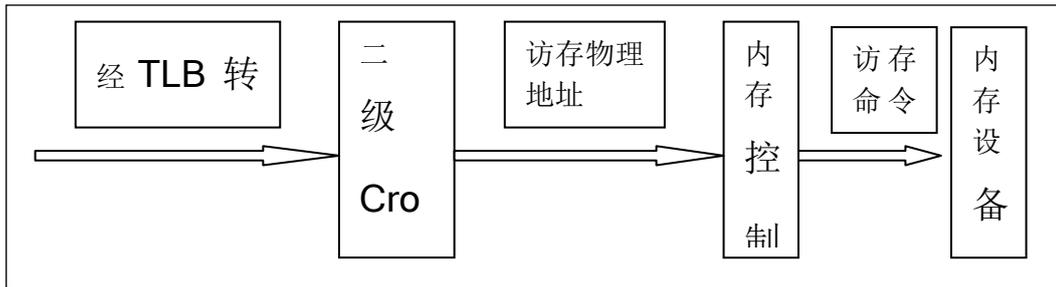


图1 龙芯2G/H及龙芯3号芯片的访存流程

6. Pmon 内存初始化代码介绍 (3A/B、2G/H)

Pmon 中内存相关部分的代码包含在 start.S 中。内存初始化需要在 cache 初始化之后进行。内存初始化的代码被封装起来了，封装在 loongson*_ddr[2]_config.S 中，使用时只需要正确设置输入参数（64 位的寄存器 s1）。下面详细介绍 s1 的设置方法。

s1 的低 4 位 (bit[3:0])，用来设置节点 ID 和控制器选择。bit[1:0]对应节点 ID；bit[3:2]对应控制器选择：2'b01---只使用 MC0；2'b10---只使用 MC1；2'b00---MC0/1 都使用。对于 2G/H、3B 来说，只有 MC0，因此 bit[3:2]总是应该设置为 2'b01。

s1 的其他位用来设置内存信息。s1 的设置分两种情况：一种是使用内存条上的 SPD 自动检测内存条信息，一种是直接手动设置内存信息，包括颗粒类型（DDR2 还是 DDR3）、行列地址线个数等等。两种模式，通过配置文件的 AUTO_DDR_CONFIG 选项选择。

在前一种自动检测内存信息的情况下，s1 的作用是告诉自动检测代码 SPD 所在的 I2C 总线的地址。一个节点最多有 2 个 (3A) 内存控制器，每个内存控制器最多连接 2 个内存条，因此每个节点最多连接 4 个内存条。此时使用 s1 的 bit[31:16]来存放 4 个内存条所连接的 I2C 总线的地址 (SA2:SA0)。每 4bit 表示一个内存条。有效值为 0x0~0x7，0x8~0xf 表示没有连接内存条。s1 的 bit[31:16]分别对应 MC1 的 Slot1 (MC1 的 CS3/2)、MC1 的 Slot0 (MC1 的 CS1/0)、MC0 的 Slot1 (MC0 的 CS3/2)、MC0 的 Slot0 (MC0 的 CS1/0)。

在后一种手动设置内存信息的情况下，共使用 24bit 来设置一个控制器的内存信息。s1 的 bit[63:40]对应 MC1，bit[31:8]对应 MC0。这 24 位的含义可以通过查看 ddr_config_define.h 中的注释来具体了解。下面对常用的一些设置进行说明。比如，一个常用的设置为

0xc1e30404 (红色部分)，表示常见的 DDR3 双面 2GB UDIMM 内存条。下面将这 24 位

分为几个位域来说明。位域划分如下：**0xc¹** **1²** **e³** **3⁴** **04⁵** **04**。位域的值都用十六进制表示。

对于位域 1 (内存类型)，

DDR3 UDIMM/DDR3 颗粒贴片	c
DDR3 RDIMM	f

DDR3 UDIMM with ECC	e
DDR2 UDIMM/DDR2 颗粒贴片	8
DDR2 RDIMM	b
DDR2 UDIMM with ECC	a

对于位域 2（控制器数据宽度、行地址数），

颗粒容量（x8 颗粒）	
512Mb	2
1Gb	1
2Gb	0

- (1) 对于相应容量的 x16 颗粒，右边的域值增加 1.
- (2) 如果使用 32 位的数据宽度，右边的域值增加 8.

对于位域 3（bank 数、地址 mirror、列地址数），

DDR2	a
DDR3 UDIMM	e
DDR3 RDIMM	a
DDR3 贴片无地址 mirror	a
DDR3 贴片地址 mirror	e

- (1) 颗粒 bank 数为 4 时，右边的域值减去 8.

对于位域 4（cs_map），这个位域的 4 个 bit（3~0）分别表示 MC 的片选信号 CS3~CS0 上面是否连接有内存颗粒。这个域值与 PCB 的走线相关。下面以使用内存条的主板为例来说明：

放置 1 个单面的内存条在 MC 的 CS1/0 上	0x1
放置 1 个单面的内存条在 MC 的 CS3/2 上	0x4
放置 1 个双面的内存条在 MC 的	0x3

CS1/0 上	
放置 1 个双面的内存条在 MC 的 CS3/2 上	0xc
放置 2 个单面内存条	0x5
放置 2 个双面内存条	0xf

注意：内存条的单双面指一个内存条是使用 1 个片选信号还是 2 个片选信号。一般可根据正反面是否都有内存颗粒来判断。但华芯的一种 DDR3 2GB RDIMM 内存条，正反面都有颗粒，但仍属于单面内存条。

对于位域 5（内存容量），表示这个控制器可以使用的内存容量大小，单位为 512M 字节。

512MB	0x01
1GB	0x02
2GB	0x04
4GB	0x08
8GB	0x10

7. 内存故障诊断

龙芯 2H、3A/B 使用软件训练的方法（ARB_level）来设置控制器需要的一些延时参数，一般不需要手动调整。如果出现训练失败的情况，可按以下步骤解决：

- 1) 检测代码版本，确认使用最新的PMON代码。
- 2) 检查内存频率设置，DDR2的可工作范围为125M~300M Hz，DDR3为300M~400M Hz。调试阶段，推荐DDR2使用250M Hz，DDR3使用300M Hz。

如果不能确定，最好使用示波器量测 CLK 信号，同时可以观察

信号质量。

- 3) 修改CLK延时（reg_8f0）。通过手动输入的方式，尝试0x00,0x10,0x20,0x30,0x40，看是否可以训练成功。
- 4) 修改CPU端ODT阻值设置（reg_2d0的bit[3:2]）。尝试两个值：2'b01, 2'b11。
- 5) 修改pad补偿电阻值（reg_2d0的bit[25:18]）。尝试0x021c, 0x0078（reg_2d0的bit[31: 16]）。

手动修改参数，可将 start.S 中的宏定义 (DEBUG_DDR_PARAM) 打开，在 PMON 启动过程中动态修改参数，不需要来回烧写启动 flash。

PMON 下内存测试

初次启动，最好使用 start.S 中的 DEBUG_DDR 选项对内存系统进行初步测试（可通过参数修改测试大小和起始地址），以确定片选、地址线个数、二级 crossbar 窗口等是否配置正确（需要遍历整个内存地址空间）。该测试同时可帮助诊断出错原因。

内存频率设置

内存的工作频率=基本频率×倍频系数。

对于 2G、3A/B 来说，内存基本频率等于外部晶振的输入频率。MEM 倍频系数由 CPU 引脚 CLKSEL[9:5] 决定，CPU 倍频系数由 CLKSEL[4:0] 决定。倍频系数与 CLKSEL 的对应关系见附件 1。

对于 2H 来说，内存频率选择首先分为硬件配置和软件配置。基本频率源也分为两种模式：外部输入晶振频率和 SATA 的 25M 频率。具体控制位及倍频系数计算方法参见 2H 用户手册。

附件 1 龙芯 3A/B、2G 倍频关系表

Bit[5:1]	3A		2G p2		3B	
	cpu freq	mem freq	cpu freq	mem freq	cpu freq	mem freq
	$(30+[4:1])/(1+[5])$		$(30+[4:1])/(3+[5])$			
00000	30	10	10.5	20	25	10
00001	31	31/3	11	11	26	11
00010	32	32/3	11.5	12	27	12
00011	33	11	12	13	28	13
00100	34	34/3	12.5	14	29	14
00101	35	35/3	13	15	30	15
00110	36	12	13.5	16	31	16
00111	37	37/3	14	18	32	18
01000	38	38/3	14.5	10	33	5
01001	39	13	15	5.5	34	5.5
01010	40	40/3	15.5	6	35	6
01011	41	41/3	16	6.5	36	6.5
01100	42	14	17	7	37	7
01101	43	43/3	18	7.5	38	7.5
01110	44	44/3	19	8	39	8
01111	45	15	20	9	40	9
10000	15	7.5	21	5	12.5	2.5
10001	15.5	7.75	22	2.75	13	2.75
10010	16	8	23	3	13.5	3
10011	16.5	8.25	24	3.25	14	3.25
10100	17	8.5	25	3.5	14.5	3.5
10101	17.5	8.75	26	3.75	15	3.75
10110	18	9	27	4	15.5	4
10111	18.5	9.25	28	4.5	16	4.5
11000	19	9.5	29	2.5	16.5	1.25
11001	19.5	9.75	30	1.375	17	1.375
11010	20	10	31	1.5	17.5	1.5
11011	20.5	10.25	32	1.625	18	1.625
11100	21	10.5	34	1.75	18.5	1.75
11101	21.5	10.75	36	1.875	19	1.875
11110	22	11	38	2	19.5	2
11111	1	1	1	1	1	1
	注：带删除线的不推荐使用					